

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-242771

(P2003-242771A)

(43) 公開日 平成15年8月29日 (2003. 8. 29)

(51) Int.Cl.

識別記号

F I

テ-コ-ト\* (参考)

G 1 1 C 11/14

G 1 1 C 11/14

Z 5 F 0 8 3

A

11/15

11/15

H 0 1 L 27/105

H 0 1 L 43/08

Z

43/08

27/10

4 4 7

審査請求 有 請求項の数20 O L (全 32 頁)

(21) 出願番号

特願2002-39086(P2002-39086)

(22) 出願日

平成14年2月15日 (2002. 2. 15)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地1

(72) 発明者 東 知輝

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

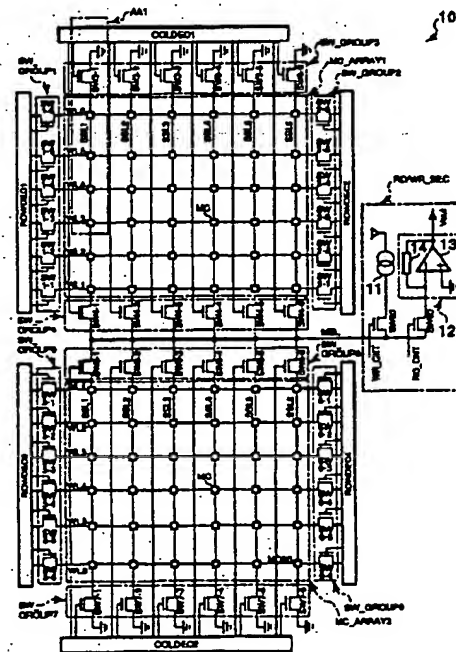
最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 消費電流の増加を抑制しつつ高集積化の図れる半導体記憶装置を提供すること。

【解決手段】 MRAM10は、磁気抵抗素子を含むメモリセルがマトリクス状に配置されたメモリセルアレイと、メモリセルアレイの各行に接続されたワード線と、メモリセルアレイの各列に接続されたサブセンス線と、各サブセンス線と接続されるメインセンス線と、メモリセルアレイのワード線を選択するロウデコーダと、メモリセルアレイのサブセンス線を選択するカラムデコーダと、カラムデコーダにより選択されたサブセンス線をメインセンス線に接続する第1スイッチ素子と、ロウデコーダ及びカラムデコーダにより選択されたメモリセルのデータを読み出す読み出し回路と、ロウデコーダ及びカラムデコーダにより選択されたメモリセルにデータを書き込む書き込み回路とを具備することを特徴としている。



1

## 【特許請求の範囲】

【請求項1】 磁気抵抗素子を含むメモリセルがマトリクス状に配置されたメモリセルアレイと、

前記メモリセルアレイの各行に接続されたワード線と、  
前記メモリセルアレイの各列に接続されたサブセンス線と、

前記各サブセンス線と接続されるメインセンス線と、  
前記メモリセルアレイのワード線を選択するロウデコーダと、

前記メモリセルアレイのサブセンス線を選択するカラムデコーダと、

前記カラムデコーダにより選択された前記サブセンス線をメインセンス線に接続する第1スイッチ素子と、  
前記ロウデコーダ及びカラムデコーダにより選択された前記メモリセルから前記メインセンス線を介してデータを読み出す読み出し回路と、

前記ロウデコーダ及びカラムデコーダにより選択された前記メモリセルに前記メインセンス線を介してデータを書き込む書き込み回路とを具備することを特徴とする半導体記憶装置。

【請求項2】 前記磁気抵抗素子は、前記ワード線に接続された第1磁性体層と、

前記サブセンス線に接続された第2磁性体層と、  
前記第1、第2磁性体層の間に介在された第1絶縁層とを備えることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記メモリセルは、前記磁気抵抗素子と、  
前記ワード線と前記第1磁性体層との間に設けられ、前記磁気抵抗素子に直列接続されたダイオードとを備えることを特徴とする請求項2記載の半導体記憶装置。

【請求項4】 前記メモリセルは、前記磁気抵抗素子と、  
前記ワード線に接続されたゲート、前記第1磁性体層に接続された電流経路の一端、及び所定の電位に接続された電流経路の他端を有するスイッチングトランジスタと、

前記磁気抵抗素子に近接しつつ電氣的に分離され、且つ前記ワード線と平行に配置され、前記メモリセルへのデータの書き込み時において前記ロウデコーダより電流を供給される書き込み用ワード線とを備えることを特徴とする請求項2記載の半導体記憶装置。

【請求項5】 磁気抵抗素子を含むメモリセルがマトリクス状に配置されたメモリセルアレイと、  
前記メモリセルアレイの各行に接続されたサブワード線と、  
前記メモリセルアレイの各列に接続されたサブセンス線と、  
前記サブワード線の各々と接続されるメインワード線と、

2

前記サブセンス線の各々と接続されるメインセンス線と、  
前記メモリセルアレイの前記サブワード線を選択すると共に、前記メインワード線に電流または電圧を供給するロウデコーダと、

前記メモリセルアレイの前記サブセンス線を選択するカラムデコーダと、

前記ロウデコーダにより選択された前記サブワード線をメインワード線に接続する第1スイッチ素子と、

10 前記カラムデコーダにより選択された前記サブセンス線をメインセンス線に接続する第2スイッチ素子と、  
前記ロウデコーダ及びカラムデコーダにより選択された前記メモリセルから前記メインセンス線を介してデータを読み出す読み出し回路と、

前記ロウデコーダ及びカラムデコーダにより選択された前記メモリセルに前記メインセンス線を介してデータを書き込む書き込み回路とを具備することを特徴とする半導体記憶装置。

20 【請求項6】 前記磁気抵抗素子は、前記サブワード線に接続された第1磁性体層と、

前記サブセンス線に接続された第2磁性体層と、  
前記第1、第2磁性体層の間に介在された第1絶縁層とを備えることを特徴とする請求項5記載の半導体記憶装置。

【請求項7】 前記メモリセルは、前記磁気抵抗素子と、  
前記サブワード線と前記第1磁性体層との間に設けられ、前記磁気抵抗素子に直列接続されたダイオードとを備えることを特徴とする請求項6記載の半導体記憶装置。

30 【請求項8】 前記メモリセルは、前記磁気抵抗素子と、  
前記サブワード線に接続されたゲート、前記第1磁性体層に接続された電流経路の一端、及び所定の電位に接続された電流経路の他端を有するスイッチングトランジスタと、

40 前記磁気抵抗素子に近接しつつ電氣的に分離され、且つ前記サブワード線と平行に配置され、前記メモリセルへのデータの書き込み時において前記ロウデコーダより電流を供給される書き込み用ワード線とを備えることを特徴とする請求項6記載の半導体記憶装置。

【請求項9】 前記ロウデコーダにより選択された前記サブワード線を第1電位ノードに接続する第3スイッチ素子を更に備えることを特徴とする請求項5乃至8いずれか1項記載の半導体記憶装置。

【請求項10】 前記第3スイッチ素子によって前記サブワード線に接続される前記電位ノードは、隣接する2つのメモリセルアレイ相互間で共用される共通ノードであることを特徴とする請求項9記載の半導体記憶装置。

50 【請求項11】 第1、第2磁性体層、及び前記第1、

第2磁性体層間に設けられた第1絶縁層を有する磁気抵抗素子と、前記磁気抵抗素子と電気的に分離され、且つ前記第1磁性体層に近接して設けられた第1ワード線と、前記第2磁性体層に電気的に接続され、前記第1ワード線と直交する方向に延設された第2ワード線と、前記第1磁性体層に電気的に接続されたセンス線とを有するメモリセルがマトリクス状に配置されたメモリセルアレイと、

前記メモリセルアレイの各行の前記第1ワード線に接続された書き込み用ワード線と、

前記メモリセルアレイの各行の前記第2ワード線に接続された読み出し／書き込み用ワード線と、

前記メモリセルアレイの各列の前記センス線に接続されたサブセンス線と、

前記各サブセンス線と接続されるメインセンス線と、

前記メモリセルアレイの読み出し／書き込み用ワード線を選択するロウデコードと、

前記書き込み用ワード線を選択する書き込み用ロウデコードと、

前記メモリセルアレイのサブセンス線を選択するカラムデコードと、

前記カラムデコードにより選択された前記サブセンス線をメインセンス線に接続する第1スイッチ素子と、

前記ロウデコード及びカラムデコードにより選択された前記メモリセルから前記メインセンス線を介してデータを読み出す読み出し回路と、

前記ロウデコード及びカラムデコードにより選択された前記メモリセルに前記メインセンス線を介してデータを書き込む書き込み回路とを具備することを特徴とする半導体記憶装置。

【請求項12】 前記第1スイッチ素子は、半導体基板上に設けられた第1MOSトランジスタを含み、前記メモリセルアレイは、前記半導体基板上に前記第1MOSトランジスタを被覆するようにして設けられた層間絶縁膜上に設けられ、

前記メモリセルアレイの少なくとも一部は、前記第1MOSトランジスタと、前記半導体基板面に対して垂直な方向でオーバーラップしていることを特徴とする請求項1または11記載の半導体記憶装置。

【請求項13】 第1、第2磁性体層、及び前記第1、第2磁性体層間に設けられた第1絶縁層を有する磁気抵抗素子と、前記磁気抵抗素子と電気的に分離され、且つ前記第1磁性体層に近接して設けられた第1ワード線と、前記第2磁性体層に電気的に接続され、前記第1ワード線と直交する方向に延設された第2ワード線と、前記第1磁性体層に電気的に接続されたセンス線とを有するメモリセルがマトリクス状に配置されたメモリセルアレイと、

前記メモリセルアレイの各行の前記第1ワード線に接続された書き込み用ワード線と、

前記メモリセルアレイの各行の前記第2ワード線に接続された読み出し／書き込み用サブワード線と、

前記メモリセルアレイの各列の前記センス線に接続されたサブセンス線と、

前記読み出し／書き込み用サブワード線の各々と接続される読み出し／書き込み用メインワード線と、

前記サブセンス線の各々と接続されるメインセンス線と、

前記メモリセルアレイの前記読み出し／書き込み用サブワード線を選択すると共に、前記読み出し／書き込み用

10 メインワード線に電流または電圧を供給するロウデコードと、

前記書き込み用ワード線を選択する書き込み用ロウデコードと、

前記メモリセルアレイの前記サブセンス線を選択するカラムデコードと、

前記ロウデコードにより選択された前記読み出し／書き込み用サブワード線をメインワード線に接続する第1スイッチ素子と、

20 前記カラムデコードにより選択された前記サブセンス線をメインセンス線に接続する第2スイッチ素子と、

前記ロウデコード及びカラムデコードにより選択された前記メモリセルから前記メインセンス線を介してデータを読み出す読み出し回路と、

前記ロウデコード及びカラムデコードにより選択された前記メモリセルに前記メインセンス線を介してデータを書き込む書き込み回路とを具備することを特徴とする半導体記憶装置。

【請求項14】 前記第1、第2スイッチ素子は、半導体基板上に設けられた第1、第2MOSトランジスタをそれぞれ含み、

前記メモリセルアレイは、前記半導体基板上に前記第1、第2MOSトランジスタを被覆するようにして設けられた層間絶縁膜上に設けられ、

前記メモリセルアレイの少なくとも一部は、少なくとも前記第1、第2MOSトランジスタのいずれか一方と、前記半導体基板面に対して垂直な方向でオーバーラップしていることを特徴とする請求項5または13記載の半導体記憶装置。

【請求項15】 前記第1ワード線と前記センス線とは互いに平行に延設され、且つ同一レベルの金属配線層により形成されることを特徴とする請求項11乃至14記載の半導体記憶装置。

【請求項16】 前記センス線の電位をフローティング状態とすると共に、前記第1、第2ワード線に電流を供給することにより前記磁気抵抗素子へのデータの書き込みを行い、

50 前記第2ワード線に電圧を印加して前記センス線に流すことにより前記磁気抵抗素子からのデータの読み出しを行うことを特徴とする請求項11乃至15いずれか1項

記載の半導体記憶装置。

【請求項17】 前記磁気抵抗素子は、前記第1絶縁層と前記第2磁性体層との間に介在された第3磁性体層と、前記第3磁性体層と前記第2磁性体層との間に介在された第2絶縁層とを更に備えることを特徴とする請求項2乃至4、6乃至16いずれか1項記載の半導体記憶装置。

【請求項18】 前記カラムデコーダにより選択された前記サブセンス線を第2電位ノードに接続する第4スイッチ素子を更に備えることを特徴とする請求項1乃至17いずれか1項記載の半導体記憶装置。

【請求項19】 前記書き込み回路は、前記メモリセルへのデータの書き込み時において前記メインセンス線に書き込み電流を供給する電流源と、前記メモリセルへのデータの書き込み時において前記電流源を前記メインセンス線に接続し、前記メモリセルからのデータの読み出し時において前記電流源を前記メインセンス線から分離する第5スイッチ素子とを備えることを特徴とする請求項1乃至18いずれか1項記載の半導体記憶装置。

【請求項20】 前記読み出し回路は、前記メモリセルからのデータの読み出し時において前記メインセンス線に流れる読み出し電流を電圧に変換するセンス回路と、前記メモリセルからのデータの読み出し時において前記センス回路を前記メインセンス線に接続し、前記メモリセルへのデータの書き込み時において前記センス回路を前記メインセンス線から分離する第6スイッチ素子とを備えることを特徴とする請求項1乃至19いずれか1項記載の半導体記憶装置。

【請求項21】 前記センス回路は、第3電位ノードに接続された第1入力端子、前記第6スイッチ素子を介して前記メインセンス線に接続された第2入力端子、及び出力端子を有するオペアンプと、前記オペアンプの第2入力端子と出力端子との間に設けられた抵抗素子とを備えることを特徴とする請求項20記載の半導体記憶装置。

【請求項22】 前記抵抗素子は、前記磁気抵抗素子と実質的に同一の構造を有することを特徴とする請求項21記載の半導体記憶装置。

【請求項23】 前記ロウデコーダ及びカラムデコーダは、前記半導体基板上に設けられ、前記層間絶縁膜によって被覆される第3、第4MOSトランジスタをそれぞれ含み、前記メモリセルアレイの少なくとも一部は、少なくとも前記第3、第4MOSトランジスタのいずれか一方と、前記半導体基板面に対して垂直な方向でオーバーラップしていることを特徴とする請求項12または14記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置に関するもので、特に磁気ランダムアクセスメモリ(MRAM: Magneto resistive Random Access Memory)のセルアレイの構造に関するものである。

【0002】

【従来の技術】MRAMは、磁気抵抗効果を利用して“1”または“0”情報を蓄積させることでメモリ動作を行うデバイスである。そして、不揮発性、高集積性、高信頼性、及び高速動作を兼ね備え、従来のDRAM、EEPROM等に対して置き換え可能なメモリデバイスとして期待されている。

【0003】MRAMセルには、金属磁性体/絶縁体の積層膜を用いたスピン偏極トンネル効果による磁気抵抗変化を利用したGMR(Giant Magneto Resistive)素子やTMR(Tunneling magneto resistive)素子等を用いることが提案されている。TMR素子は、絶縁膜を2枚の磁性体膜で挟んだ構造を有している。そして2つの磁性体膜のスピン向きが互いに平行になった状態と、反平行になった状態との2つの状態を作ることが出来る。スピンの向きが平行になった場合、間に介在する薄い絶縁膜を流れるトンネル電流は大きく、TMR素子の抵抗値は小さくなる。逆にスピンの向きが反平行になった場合、トンネル電流は小さく、TMR素子の抵抗値は大きくなる。この抵抗値の大小によって、“0”データ、“1”データを区別する。

【0004】上記のようなTMR素子をメモリセルとして用いたMRAMの構造が、例えば特開2000-163950号に開示されている。図14は、前記公開公報に開示されているMRAMの構成を示している。

【0005】図示するように、複数のワード線WL1~WLn( $n$ :整数)と、ワード線WL1~WLnに直交するセンス線SL1~SL4との交点に、( $n \times 4$ )個のMRAMセルMC11~MCm4がマトリクス状に配置されることで、MRAMセルアレイが形成されている。MRAMセルMC11~MCm4の一方の磁性体膜はワード線WL1~WLnのいずれかに接続され、他方の磁性体膜はセンス線SL1~SL4のいずれかに接続されている。各センス線SL1~SL4の一端は、グラウンドスイッチSW100~SW400を介してそれぞれ接地電位に接続され、他端は読み出し・書き込み部100-1~100-4にそれぞれ接続されている。

【0006】読み出し・書き込み部100-1~100-4は、それぞれ書き込み用スイッチSW500、読み出し用スイッチSW600、書き込み用電流源110及びセンス回路120を備えている。書き込み用電流源110及びセンス回路120は、書き込み用スイッチSW500及び読み出し用スイッチSW600をそれぞれ介して各センス線SL1~SL4に接続されている。センス回路120は、オペアンプ130及び電流電圧変換器(抵抗素子)140を有している。オペアンプ130は、接地電位に接続された正転入力端子、読み出し用スイッチSW600

7

を介してセンス線SL1～SL4のいずれかに接続される反転入力端子、及び出力端子を有している。抵抗素子140は、オペアンプ130の反転入力端子に接続された一端、及びオペアンプ130の出力端子に接続された他端を有している。

【0007】次に上記構成のMRAMの読み出し動作について、MRAMセルMC14からデータを読み出す場合を例に挙げて説明する。まず、読み出し選択セルMC14が接続されているワード線WL1に電圧Vreadが印加される。また、読み出し選択セルMC14が接続されているセンス線SL4に接続されるグラウンドスイッチSW400がオフ状態とされ、その他のグラウンドスイッチSW100～SW300はオン状態とされる。更に、読み出し・書き込み部100-4内の書き込み用スイッチSW500がオフ状態、読み出し用スイッチSW600がオン状態とされる。すると、ワード線WL1に読み出し電圧Vreadが印加される結果、選択セルMC14に読み出し電流Ireadが流れる。この読み出し電流Ireadは、センス線SL4、読み出し用スイッチSW600を介してオペアンプ140に流れ込む。電流Ireadは、抵抗素子130によって電圧に変換され、オペアンプ140の出力端子から読み出し電圧Voutとして出力される。

【0008】上記のような読み出し方法によれば、選択センス線SL4に寄生的に存在するインピーダンスの影響を排除することで、読み出し精度を向上できる。この点について図15を用いて説明する。図15はMRAMセルMC14を読み出す際に選択センス線SL4に寄生的に存在するインピーダンス網を示す回路図である。

【0009】図示するように、選択セルMC14の読み出し時には寄生インピーダンス網150及び160-1～160-mが選択セルMC14に並列に存在する。寄生インピーダンス網150は、選択ワード線WL1に接続されているMRAMセルMC11～MC13のメモリセルインピーダンスの並列回路である。また寄生インピーダンス160-1～160-n( $n=m-1$ )は、選択センス線SL4に接続されているMRAMセルMC24～MCm4のメモリセルインピーダンスと、各MRAMセルMC24～MCm4が接続される非選択ワード線WL2～WLmに接続されているMRAMセルMC21～MC23、MC31～MC33、MC41～MC43、…MCm1～MCm3のメモリセルインピーダンスの並列回路との直列接続である。

【0010】上記のような読み出し方法であると、選択センス線SL4は、オペアンプの反転入力端子に接続されている。従って、選択センス線SL4は仮想的に接地されている。更に非選択センス線SL1～SL3の全てを接地している。従って、非選択セルで作られる寄生インピーダンスの影響を排除出来、選択セルに書き込まれている情報を正確に読み出すことが出来る。

【0011】

【発明が解決しようとする課題】しかし、上記従来のMRAMであると、メモリセルの並列数が増加した場合、センス動作初期に寄生インピーダンスに流れる電流が増加

8

し、消費電流が増加する。更に、寄生インピーダンスに流れる電流が大きくなると、オペアンプに流れ込む電流量が減少する。すなわち、読み出し信号が小さくなるため、オペアンプが動作を開始してから、ビット線を仮想接地し、オペアンプの出力が安定するまでの時間が長くなる。従って、データの読み出し速度が低下すると共に、データの読み出し精度が悪化する。その結果、MRAMの高集積化が困難となり、メモリセル数を増加することで消費電流が増加するという問題があった。

10 【0012】この発明は、上記事情に鑑みてなされたもので、その目的は、消費電流の増加を抑制しつつ高集積化の図れる半導体記憶装置を提供することにある。

【0013】

【課題を解決するための手段】上記目的を達成するために、この発明に係る半導体記憶装置は、磁気抵抗素子を含むメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルアレイの各行に接続されたワード線と、前記メモリセルアレイの各列に接続されたサブセンス線と、前記各サブセンス線と接続されるメインセンス線と、前記メモリセルアレイのワード線を選択するロウデコーダと、前記メモリセルアレイのサブセンス線を選択するカラムデコーダと、前記カラムデコーダにより選択された前記サブセンス線をメインセンス線に接続する第1スイッチ素子と、前記ロウデコーダ及びカラムデコーダにより選択された前記メモリセルから前記メインセンス線を介してデータを読み出す読み出し回路と、前記ロウデコーダ及びカラムデコーダにより選択された前記メモリセルに前記メインセンス線を介してデータを書き込む書き込み回路とを具備することを特徴としている。

30 【0014】上記構成の半導体記憶装置によれば、センス線をメインセンス線とサブセンス線を含む階層ビット線方式としている。そのため、読み出し時において選択セルに繋がる寄生インピーダンスを低減できる。すると、読み出し電流の寄生インピーダンスに流れる電流量の増加を回避でき、消費電流の増加を抑制できる。同時に、読み出し信号の信号レベルの低下が抑制されるため、メモリセルの数が増加した場合においてもデータの読み出し精度を維持出来る。ひいては、半導体記憶装置の更なる高集積化が実現できる。

40 【0015】またこの発明に係る半導体記憶装置は、磁気抵抗素子を含むメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルアレイの各行に接続されたサブワード線と、前記メモリセルアレイの各列に接続されたサブセンス線と、前記サブワード線の各々と接続されるメインワード線と、前記サブセンス線の各々と接続されるメインセンス線と、前記メモリセルアレイの前記サブワード線を選択すると共に、前記メインワード線に電流または電圧を供給するロウデコーダと、前記メモリセルアレイの前記サブセンス線を選択するカ

50

9

ラムデコーダと、前記ロウデコーダにより選択された前記サブワード線をメインワード線に接続する第1スイッチ素子と、前記カラムデコーダにより選択された前記サブセンス線をメインセンス線に接続する第2スイッチ素子と、前記ロウデコーダ及びカラムデコーダにより選択された前記メモリセルから前記メインセンス線を介してデータを読み出す読み出し回路と、前記ロウデコーダ及びカラムデコーダにより選択された前記メモリセルに前記メインセンス線を介してデータを書き込む書き込み回路とを具備することを特徴としている。

【0016】上記構成の半導体記憶装置によれば、センス線をメインセンス線とサブセンス線とを含む階層ビット線方式としている。更にワード線をメインワード線とサブワード線とを含む階層ワード線方式としている。そのため、読み出し時において選択セルに繋がる寄生インピーダンスを更に低減できる。

【0017】更にこの発明に係る半導体記憶装置は、第1、第2磁性体層、及び前記第1、第2磁性体層間に設けられた第1絶縁層を有する磁気抵抗素子と、前記磁気抵抗素子と電気的に分離され、且つ前記第1磁性体層に近接して設けられた第1ワード線と、前記第2磁性体層に電気的に接続され、前記第1ワード線と直交する方向に延設された第2ワード線と、前記第1磁性体層に電気的に接続されたセンス線とを有するメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルアレイの各行の前記第1ワード線に接続された書き込み用ワード線と、前記メモリセルアレイの各行の前記第2ワード線に接続された読み出し/書き込み用ワード線と、前記メモリセルアレイの各列の前記センス線に接続されたサブセンス線と、前記各サブセンス線と接続されるメインセンス線と、前記メモリセルアレイの読み出し/書き込み用ワード線を選択するロウデコーダと、前記書き込み用ワード線を選択する書き込み用ロウデコーダと、前記メモリセルアレイのサブセンス線を選択するカラムデコーダと、前記カラムデコーダにより選択された前記サブセンス線をメインセンス線に接続する第1スイッチ素子と、前記ロウデコーダ及びカラムデコーダにより選択された前記メモリセルから前記メインセンス線を介してデータを読み出す読み出し回路と、前記ロウデコーダ及びカラムデコーダにより選択された前記メモリセルに前記メインセンス線を介してデータを書き込む書き込み回路とを具備することを特徴としている。

【0018】更にこの発明に係る半導体記憶装置は、第1、第2磁性体層、及び前記第1、第2磁性体層間に設けられた第1絶縁層を有する磁気抵抗素子と、前記磁気抵抗素子と電気的に分離され、且つ前記第1磁性体層に近接して設けられた第1ワード線と、前記第2磁性体層に電気的に接続され、前記第1ワード線と直交する方向に延設された第2ワード線と、前記第1磁性体層に電気的に接続されたセンス線とを有するメモリセルがマトリ

10

クス状に配置されたメモリセルアレイと、前記メモリセルアレイの各行の前記第1ワード線に接続された書き込み用ワード線と、前記メモリセルアレイの各行の前記第2ワード線に接続された読み出し/書き込み用サブワード線と、前記メモリセルアレイの各列の前記センス線に接続されたサブセンス線と、前記読み出し/書き込み用サブワード線の各々と接続される読み出し/書き込み用メインワード線と、前記サブセンス線の各々と接続されるメインセンス線と、前記メモリセルアレイの前記読み出し/書き込み用サブワード線を選択すると共に、前記読み出し/書き込み用メインワード線に電流または電圧を供給するロウデコーダと、前記書き込み用ワード線を選択する書き込み用ロウデコーダと、前記メモリセルアレイの前記サブセンス線を選択するカラムデコーダと、前記ロウデコーダにより選択された前記読み出し/書き込み用サブワード線をメインワード線に接続する第1スイッチ素子と、前記カラムデコーダにより選択された前記サブセンス線をメインセンス線に接続する第2スイッチ素子と、前記ロウデコーダ及びカラムデコーダにより選択された前記メモリセルから前記メインセンス線を介してデータを読み出す読み出し回路と、前記ロウデコーダ及びカラムデコーダにより選択された前記メモリセルに前記メインセンス線を介してデータを書き込む書き込み回路とを具備することを特徴としている。

【0019】上記構成の半導体記憶装置によれば、メモリセルの構成において、書き込み用ワード線となる第1ワード線を新たに設けている。そのため、書き込み時において、メモリセルには第2ワード線に供給される電流のみが直接流れる。従って、書き込み時にメモリセルに加わる電気的なストレスを抑制でき、その結果、メモリセルの信頼性を向上できる。また、上記構成のメモリセルを用いつつ、階層ビット線方式、または同時に階層ワード線方式を用いている。且つ書き込み用ワード線となる第1ワード線を新たに設けている。そのため、読み出し時における消費電流の増加を抑制できる。その結果、半導体記憶装置の信頼性及び集積度を向上できる。

【0020】

【発明の実施の形態】以下、この発明の実施形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0021】この発明の第1の実施形態に係る半導体記憶装置について図1を用いて説明する。図1はMRAMのブロック図である。

【0022】図示するように、MRAM10は、メモリセルアレイMC\_ARRAY1、MC\_ARRAY2、スイッチ群SW\_GROUP1～SW\_GROUP8、ロウデコーダROWDEC1～ROWDEC4、カラムデコーダCOLDEC1、COLDEC2及び読み出し・書き込み部RD/WR\_SECを備えている。

【0023】メモリセルアレイMC\_ARRAY1、MC\_ARRAY2は、複数のワード線WL1～WL6と、ワード線WL1～WL6に直

10

20

30

40

50



11

交するサブセンス線SSL1~SSL6との交点に設けられ、マトリクス状に配置された(6×6)個のメモリセルMCを各有している。なお、図1においては(6×6)のセルアレイを示しているが、これはあくまで例示であって、メモリセルアレイMC\_ARRAY1、MC\_ARRAY2中に含まれるメモリセルMCの数は特に限定されるものではない。メモリセルMCは、例えばTMR素子を含むMRAMセルである。MRAMセルの一例を図2(a)、(b)に示す。図2(a)はMRAMセルの等価回路図であり、図2(b)は断面図である。

【0024】図示するように、MRAMセルはTMR素子のみで構成されている。すなわち、シリコン基板1上に設けられた層間絶縁膜2中にワード線WLとなる金属配線層3が設けられている。そして金属配線層3上に、絶縁膜4を磁性体膜5、6で挟んだ構造のTMR素子が設けられている。更に、磁性体膜6上に、サブセンス線SSLとなる金属配線層7が、ワード線WLと直交する方向に延設されている。磁性体膜6のスピンの向きは、予め所定の方向に向くよう設定されている。その上で、磁性体膜5のスピンの向きを磁性体膜6に対して平行、または反平行とすることで、2つの状態を作り出し、“0”データ、または“1”データを書き込む。

【0025】図2(c)は、図2(b)とは別の構造を有するMRAMセルの断面図である。図示するように、図2(b)に示す構造において、絶縁膜4上に磁性体膜26が設けられ、磁性体膜26上に絶縁膜27が設けられ、磁性体膜6が絶縁膜27上に設けられている。磁性体膜5、6のスピンの向きは予め、互いに等しくなるよう所定の方向に設定されている。その上で、磁性体膜26のスピンの向きを磁性体膜5、6に対して平行、または反平行とすることで、“0”データ、または“1”データを書き込む。図2(c)に示す構造であると、図2(b)に示す構造よりも高いMR比を得ることが出来、データ保持の観点において信頼性に優れている。なお、MR比とは“0”データ書き込み状態と“1”データ書き込み状態におけるTMR素子の抵抗比である。

【0026】スイッチ群SW\_GROUP1、SW\_GROUP2はそれぞれ、6つのスイッチングトランジスタSW1-1~SW1-6及びSW2-1~SW2-6を有している。スイッチングトランジスタSW1-1~SW1-6のゲート及びソース・ドレインのいずれか一方はロウデコーダROWDEC1に接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY1内のワード線WL1~WL6の一端に接続されている。スイッチングトランジスタSW2-1~SW2-6のゲート及びソース・ドレインのいずれか一方はロウデコーダROWDEC2に接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY1内のワード線WL1~WL6の他端に接続されている。

【0027】スイッチ群SW\_GROUP3、SW\_GROUP4はそれぞれ、6つのスイッチングトランジスタSW3-1~SW3-6、及びSW4-1~SW4-6を有している。スイッチングトランジ

12

スタSW3-1~SW3-6のゲートはカラムデコーダCOLDEC1に接続され、ソース・ドレインのいずれか一方は接地電位に接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY1内のサブセンス線SSL1~SSL6の一端に接続されている。スイッチングトランジスタSW4-1~SW4-6のゲートはカラムデコーダCOLDEC1に接続され、ソース・ドレインのいずれか一方はメインセンス線MSLに接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY1内のサブセンス線SSL1~SSL6の他端に接続されている。

【0028】スイッチ群SW\_GROUP5、SW\_GROUP6はそれぞれ、6つのスイッチングトランジスタSW5-1~SW5-6及びSW6-1~SW6-6を有している。スイッチングトランジスタSW5-1~SW5-6のゲート及びソース・ドレインのいずれか一方はロウデコーダROWDEC3に接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY2内のワード線WL1~WL6の一端に接続されている。スイッチングトランジスタSW6-1~SW6-6のゲート及びソース・ドレインのいずれか一方はロウデコーダROWDEC4に接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY2内のワード線WL1~WL6の他端に接続されている。

【0029】スイッチ群SW\_GROUP7、SW\_GROUP8はそれぞれ、6つのスイッチングトランジスタSW7-1~SW7-6、及びSW8-1~SW8-6を有している。スイッチングトランジスタSW7-1~SW7-6のゲートはカラムデコーダCOLDEC2に接続され、ソース・ドレインのいずれか一方は接地電位に接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY2内のサブセンス線SSL1~SSL6の一端に接続されている。スイッチングトランジスタSW8-1~SW8-6のゲートはカラムデコーダCOLDEC2に接続され、ソース・ドレインのいずれか一方はメインセンス線MSLに接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY2内のサブセンス線SSL1~SSL6の他端に接続されている。

【0030】ロウデコーダROWDEC1~ROWDEC4はそれぞれ、スイッチ群SW\_GROUP1、SW\_GROUP2、SW\_GROUP5、SW\_GROUP6内に含まれるスイッチングトランジスタを制御し、ワード線WL1~WL6に所定の電位を与える。

【0031】カラムデコーダCOLDEC1はスイッチ群SW\_GROUP3及びSW\_GROUP4に、カラムデコーダCOLDEC2はスイッチ群SW\_GROUP7及びSW\_GROUP8にそれぞれ含まれるスイッチングトランジスタを制御する。そして、サブセンス線SSL1~SSL6の電位を決定すると共に、メインセンス線MSLとの接続/非接続をスイッチする。

【0032】上記のように、スイッチ群SW\_GROUP4、SW\_GROUP8を介して12本のサブセンス線SSL1~SSL6、SSL1~SSL6が接続されたメインセンス線MSLは、読み出し・書き込み部RD/WR\_SECに接続されている。読み出し・書き込み部RD/WR\_SECは、書き込み用スイッチングトラン



13

ジスタSW50、読み出し用スイッチングトランジスタSW60、書き込み用電流源11及びセンス回路12を備えている。書き込み用電流源11及びセンス回路12は、書き込み用スイッチングトランジスタSW50及び読み出し用スイッチングトランジスタSW60をそれぞれ介してメインセンス線MSLに接続されている。書き込み用スイッチングトランジスタSW50及び読み出し用スイッチングトランジスタSW60のゲートはそれぞれ、書き込み制御信号及び読み出し制御信号がそれぞれ入力される書き込み制御信号線WR\_CNT及び読み出し制御信号線RD\_CNTに接続されている。センス回路12は、オペアンプ13及び電流電圧変換器（抵抗素子）14を有している。オペアンプ13は、接地電位に接続された正転入力端子、読み出し用スイッチングトランジスタSW60を介してメインセンス線MSLに接続される反転入力端子、及び出力端子を有している。抵抗素子14は、オペアンプ13の反転入力端子に接続された一端、及びオペアンプ13の出力端子に接続された他端を有している。書き込み用電流源11は、書き込み時においてスイッチングトランジスタSW50を介してメインセンス線MSLに電流Iwriteを供給する。センス回路12は、読み出し時において、スイッチングトランジスタSW60を介してメインセンス線MSLから入力される読み出し電流Ireadを、抵抗素子14にて電圧に変換し、読み出し電圧Voutとして出力する。

【0033】次に上記構成のMRAMの動作について説明する。まず、書き込み動作について、MC\_ARRAY2内におけるサブセンス線SSL6とワード線WL6との交点に配置されたメモリセルMC66にデータを書き込む場合を例に挙げて説明する。

【0034】まず、カラムデコーダ2がスイッチ群SW\_GROUP8内のスイッチングトランジスタSW8-6をオン状態とし、メモリセルアレイMC\_ARRAY2内のサブセンス線SSL6をメインセンス線MSLに接続する。またカラムデコーダ2は、スイッチ群SW\_GROUP7内のスイッチングトランジスタSW7-6をオン状態とし、サブセンス線SSL6を接地電位に接続する。更に、書き込み制御信号線WR\_CNTに書き込み制御信号を与えることにより、書き込み用スイッチングトランジスタSW50をオン状態にして、電流源からメインセンス線MSLを介して、メモリセルアレイMC\_ARRAY2内のサブセンス線SSL6に書き込み電流Iwriteを流す。なお、スイッチ群SW\_GROUP8内のスイッチングトランジスタSW8-1～SW8-5、スイッチ群SW\_GROUP7内のスイッチングトランジスタSW7-1～SW7-5、及びスイッチ群SW\_GROUP4内の全スイッチングトランジスタはオフ状態としておく。スイッチ群SW\_GROUP3内のスイッチングトランジスタは、オン状態とオフ状態のどちらでも構わない。

【0035】次にロウデコーダROWDEC3、ROWDEC4が、スイッチ群SW\_GROUP5内のスイッチングトランジスタSW5-6、及びスイッチ群SW\_GROUP6内のスイッチングトランジスタSW6-6をオン状態にする。そして、ロウデコーダROW

14

DEC3、またはROWDEC4側いずれかからワード線WL6に電流を供給する。ワード線WL6を流れる電流によって、ワード線WL6の周辺には磁界が形成され、この磁界によって、磁性体膜5（図2（b）参照）のスピン向きが変化する。そのスピンの向きは、ワード線WL6に流す電流の向きによって決まる。すなわち、電流の向きを制御することで、磁性体膜5のスピン向きが、磁性体膜6のスピン向きと平行、または反平行という2つの状態が作り出される。その結果、“0”データ、または“1”データを書き込むことが出来る。なお、スイッチ群SW\_GROUP8内のスイッチングトランジスタSW8-1～SW8-5、スイッチ群SW\_GROUP6内のスイッチングトランジスタSW6-1～SW6-5はオフ状態としておく。スイッチ群SW\_GROUP1、SW\_GROUP2内のスイッチングトランジスタは、オン状態とオフ状態のどちらでも構わない。

【0036】次に読み出し動作について、同じくメモリセルMC66からデータを読み出す場合を例に挙げて説明する。

【0037】まずロウデコーダROWDEC3が、スイッチ群SW\_GROUP5内のスイッチングトランジスタSW5-6をオン状態とし、ロウデコーダROWDEC4が、スイッチ群SW\_GROUP6内のスイッチングトランジスタSW6-6をオフ状態とする。そして、メモリセルアレイMC\_ARRAY2内のワード線WL6に電圧Vreadを印加する。そして、メモリセルMC66に電流を供給する。この際、他のワード線WL1～WL5の全ては接地電位またはフローティング状態としておく。

【0038】次にカラムデコーダCOLDEC2がスイッチ群SW\_GROUP8内のスイッチングトランジスタSW8-6をオン状態とし、メモリセルアレイMC\_ARRAY2内のサブセンス線SSL6をメインセンス線MSLに接続する。またカラムデコーダCOLDEC2は、スイッチ群SW\_GROUP7内のスイッチングトランジスタSW7-6をオフ状態とする。メインセンス線MSLに接続されているその他のスイッチングトランジスタSW8-1～SW8-5、及びスイッチ群SW\_GROUP4内の全スイッチングトランジスタはオフ状態としておく。また、スイッチ群SW\_GROUP7内のスイッチングトランジスタSW7-1～SW7-5をオン状態とすることにより、非選択のサブセンス線SSL1～SSL5を接地電位としておく。スイッチ群SW\_GROUP3内のスイッチングトランジスタは、オン状態とオフ状態のどちらでも構わない。

【0039】更に、読み出し制御信号線RD\_CNTに読み出し制御信号を与えることにより、読み出し用スイッチングトランジスタSW60をオン状態にして、センス回路12をメインセンス線MSLに接続する。

【0040】すると、電圧Vreadが印加されたことによりメモリセルMC66からサブセンス線SSL6を介してメインセンス線MSLに読み出し電流Ireadが流れ出し、読み出し電流Ireadはセンス回路12に流れ込む。読み出し電流Ireadは、抵抗素子14によって電圧に変換され、オペアンプ13の出力端子から読み出し電圧Voutとして出力される。

15

【0041】上記のように、本発明の第1の実施形態に係るMRAMによれば、メインセンス線MSLは、オペアンプ13の反転入力端子に接続されている。従って、メインセンス線MSLは仮想的に接地されている。よって、非選択セルで作られる寄生インピーダンスの影響を排除出来、選択セルに書き込まれている情報を正確に読み出すことが出来る。

【0042】また、センス線をメインセンス線とサブセンス線とを含む階層ビット線方式とし、メモリセルアレイを分割している。従って、従来方法により同じ容量のセルアレイを組んだ場合と比較して、選択セルに繋がる寄生インピーダンスを低減できる。従来方法により図1の構成と同じ容量のMRAMを構成した場合、1つのメモリセルアレイは $(12 \times 6) = 72$ 個のメモリセルを含むことになる。従って、1つのメモリセルを選択した場合、センス線には71個の非選択セルが寄生インピーダンスとして存在することになる。しかし本実施形態であると、72個のメモリセルを1つあたり $(6 \times 6)$ 個のメモリセルを含む2つのメモリセルアレイによってMRAMを構成している。従って、メインセンス線MSLには35個の非選択セルが寄生インピーダンスとして存在するに過ぎない。その結果、読み出し電流Ireadの寄生インピーダンスに流れる電流量の増加を回避でき、消費電流の増加を抑制できる。換言すれば、読み出し電流Ireadを効率よくセンス回路12に流すことが出来る。同時に、読み出し信号の信号レベルの低下が抑制されるため、メモリセルの数が増加した場合においてもデータの読み出し精度を維持出来る。ひいては、MRAMの更なる高集積化が実現できる。

【0043】なおMRAMセルは、図2(a)乃至(c)に示すようにTMR素子のみで構成されていても良いし、TMR素子と整流素子との組み合わせであっても良い。図3(a)乃至(c)はTMR素子とダイオードとを含むMRAMセルの例を示しており、(a)図は等価回路図であり、(b)図及び(c)図は断面図である。図示するように、図2に示す構造において、ワード線WLとなる金属配線層3と磁性体膜5との間にn型半導体層8及びp型半導体層9を設けることにより、ワード線WLとサブセンス線SSLとの間に、TMR素子と直列にダイオードを挿入している。

【0044】次にこの発明の第2の実施形態に係る半導体記憶装置について図4を用いて説明する。図4はMRAMのブロック図である。本実施形態に係るMRAMは、上記第1の実施形態において、更に階層ワード線方式を用いたものである。

【0045】図示するように、MRAM10は、メモリセルアレイMC\_ARRAY1~MC\_ARRAY4、スイッチ群SW\_GROUP1~SW\_GROUP16、ロウデコーダROWDEC1~ROWDEC4、カラムデコーダCOLDEC1~COLDEC4及び読み出し・書き込み部RD/WR\_SECを備えている。

【0046】メモリセルアレイMC\_ARRAY1~MC\_ARRAY4

16

は、複数のサブワード線SWL1~SWL6と、サブワード線SWL1~SWL6に直交するサブセンス線SSL1~SSL3との交点に設けられ、マトリクス状に配置された $(6 \times 3)$ 個のメモリセルMCを各々有している。勿論、メモリセルアレイMC\_ARRAY1~MC\_ARRAY4中に含まれるメモリセルMCの数は $(6 \times 3)$ 個に限定されるものではない。メモリセルMCは、上記第1の実施形態で説明した、図2(a)乃至(c)または図2(a)乃至(c)に示す構造を有する、TMR素子を含むMRAMセルである。

10 【0047】スイッチ群SW\_GROUP1、SW\_GROUP2はそれぞれ、6つのスイッチングトランジスタSW1-1~SW1-6及びSW2-1~SW2-6を有している。スイッチングトランジスタSW1-1~SW1-6のゲートはロウデコーダROWDEC1に接続され、ソース・ドレインのいずれか一方はメインワード線MWL1に接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY1内のサブワード線SWL1~SWL6の一端に接続されている。スイッチングトランジスタSW2-1~SW2-6のゲートはロウデコーダROWDEC2に接続され、ソース・ドレインのいずれか一方はメインワード線MWL2に接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY1内のサブワード線SWL1~SWL6の他端に接続されている。

20 【0048】スイッチ群SW\_GROUP3、SW\_GROUP4はそれぞれ、3つのスイッチングトランジスタSW3-1~SW3-3、及びSW4-1~SW4-3を有している。スイッチングトランジスタSW3-1~SW3-3のゲートはカラムデコーダCOLDEC1に接続され、ソース・ドレインのいずれか一方は接地電位に接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY1内のサブセンス線SSL1~SSL3の一端に接続されている。スイッチングトランジスタSW4-1~SW4-3のゲートはカラムデコーダCOLDEC1に接続され、ソース・ドレインのいずれか一方はメインセンス線MSLに接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY1内のサブセンス線SSL1~SSL3の他端に接続されている。

30 【0049】スイッチ群SW\_GROUP5、SW\_GROUP6はそれぞれ、6つのスイッチングトランジスタSW5-1~SW5-6及びSW6-1~SW6-6を有している。スイッチングトランジスタSW5-1~SW5-6のゲートはロウデコーダROWDEC2に接続され、ソース・ドレインのいずれか一方はメインワード線MWL3に接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY2内のサブワード線SWL1~SWL6の一端に接続されている。スイッチングトランジスタSW6-1~SW6-6のゲートはロウデコーダROWDEC1に接続され、ソース・ドレインのいずれか一方はメインワード線MWL4に接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY2内のサブワード線SWL1~SWL6の他端に接続されている。

50 【0050】スイッチ群SW\_GROUP7、SW\_GROUP8はそれぞれ、3つのスイッチングトランジスタSW7-1~SW7-3、及

17

びSW8-1～SW8-3を有している。スイッチングトランジスタSW7-1～SW7-3のゲートはカラムデコーダCOLDEC2に接続され、ソース・ドレインのいずれか一方は接地電位に接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY2内のサブセンス線SSL1～SSL3の一端に接続されている。スイッチングトランジスタSW8-1～SW8-3のゲートはカラムデコーダCOLDEC2に接続され、ソース・ドレインのいずれか一方はメインセンス線MSLに接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY2内のサブセンス線SSL1～SSL3の他端に接続されている。

【0051】スイッチ群SW\_GROUP9、SW\_GROUP10はそれぞれ、6つのスイッチングトランジスタSW9-1～SW9-6及びSW10-1～SW10-6を有している。スイッチングトランジスタSW9-1～SW9-6のゲートはロウデコーダROWDEC3に接続され、ソース・ドレインのいずれか一方はメインワード線MWL5に接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY3内のサブワード線SWL1～SWL6の一端に接続されている。スイッチングトランジスタSW10-1～SW10-6のゲートはロウデコーダROWDEC4に接続され、ソース・ドレインのいずれか一方はメインワード線MWL6に接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY3内のサブワード線SWL1～SWL6の他端に接続されている。

【0052】スイッチ群SW\_GROUP11、SW\_GROUP12はそれぞれ、3つのスイッチングトランジスタSW11-1～SW11-3、及びSW12-1～SW12-3を有している。スイッチングトランジスタSW11-1～SW11-3のゲートはカラムデコーダCOLDEC3に接続され、ソース・ドレインのいずれか一方は接地電位に接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY3内のサブセンス線SSL1～SSL3の一端に接続されている。スイッチングトランジスタSW12-1～SW12-3のゲートはカラムデコーダCOLDEC3に接続され、ソース・ドレインのいずれか一方はメインセンス線MSLに接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY3内のサブセンス線SSL1～SSL3の他端に接続されている。

【0053】スイッチ群SW\_GROUP13、SW\_GROUP14はそれぞれ、6つのスイッチングトランジスタSW13-1～SW13-6及びSW14-1～SW14-6を有している。スイッチングトランジスタSW13-1～SW13-6のゲートはロウデコーダROWDEC4に接続され、ソース・ドレインのいずれか一方はメインワード線MWL7に接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY4内のサブワード線SWL1～SWL6の一端に接続されている。スイッチングトランジスタSW14-1～SW14-6のゲートはロウデコーダROWDEC3に接続され、ソース・ドレインのいずれか一方はメインワード線MWL8に接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY4内のサブワード線SWL1～SWL6の他端に接続されている。

18

【0054】スイッチ群SW\_GROUP15、SW\_GROUP16はそれぞれ、3つのスイッチングトランジスタSW15-1～SW15-3、及びSW16-1～SW16-3を有している。スイッチングトランジスタSW15-1～SW15-3のゲートはカラムデコーダCOLDEC4に接続され、ソース・ドレインのいずれか一方は接地電位に接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY4内のサブセンス線SSL1～SSL3の一端に接続されている。スイッチングトランジスタSW16-1～SW16-3のゲートはカラムデコーダCOLDEC4に接続され、ソース・ドレインのいずれか一方はメインセンス線MSLに接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY4内のサブセンス線SSL1～SSL3の他端に接続されている。

【0055】ロウデコーダROWDEC1は、スイッチ群SW\_GROUP1、SW\_GROUP6に含まれるスイッチングトランジスタを制御して、メモリセルアレイMC\_ARRAY1内のサブワード線SWL1～SWL6のいずれかをメインワード線MWL1に接続し、メモリセルアレイMC\_ARRAY2内のサブワード線SWL1～SWL2のいずれかをメインワード線MWL4に接続する。またメインワード線MWL1、MWL2のいずれかを選択して、メモリセルアレイMC\_ARRAY1内のサブワード線SWL1～SWL6を書き込み状態、読み出し状態、または接地電位状態とする。

【0056】ロウデコーダROWDEC2は、スイッチ群SW\_GROUP2、SW\_GROUP5に含まれるスイッチングトランジスタを制御して、メモリセルアレイMC\_ARRAY1内のサブワード線SWL1～SWL6のいずれかをメインワード線MWL2に接続し、メモリセルアレイMC\_ARRAY2内のサブワード線SWL1～SWL6のいずれかをメインワード線MWL3に接続する。またメインワード線MWL3、MWL4のいずれかを選択して、メモリセルアレイMC\_ARRAY2内のサブワード線SWL1～SWL6を書き込み状態、読み出し状態、または接地電位状態とする。

【0057】ロウデコーダROWDEC3は、スイッチ群SW\_GROUP9、SW\_GROUP14に含まれるスイッチングトランジスタを制御して、メモリセルアレイMC\_ARRAY3内のサブワード線SWL1～SWL6のいずれかをメインワード線MWL5に接続し、メモリセルアレイMC\_ARRAY4内のサブワード線SWL1～SWL6のいずれかをメインワード線MWL8に接続する。またメインワード線MWL5、MWL6のいずれかを選択して、メモリセルアレイMC\_ARRAY3内のサブワード線SWL1～SWL6を書き込み状態、読み出し状態、または接地電位状態とする。

【0058】ロウデコーダROWDEC4は、スイッチ群SW\_GROUP10、SW\_GROUP13に含まれるスイッチングトランジスタを制御して、メモリセルアレイMC\_ARRAY3内のサブワード線SWL1～SWL6のいずれかをメインワード線MWL6に接続し、メモリセルアレイMC\_ARRAY4内のサブワード線SWL1～SWL6のいずれかをメインワード線MWL7に接続する。またメインワード線MWL7、MWL8のいずれかを選択して、

10

20

30

40

50

19

メモリセルアレイMC\_ARRAY4内のサブワード線SWL1〜SWL6を書き込み状態、読み出し状態、または接地電位状態とする。

【0059】カラムデコーダCOLDEC1はスイッチ群SW\_GROUP3及びSW\_GROUP4にそれぞれ含まれるスイッチングトランジスタを制御する。そして、メモリセルアレイMC\_ARRAY1内のサブセンス線SSL1〜SSL6の電位を決定すると共に、メインセンス線MSLとの接続／非接続をスイッチする。

【0060】カラムデコーダCOLDEC2はスイッチ群SW\_GROUP7及びSW\_GROUP8にそれぞれ含まれるスイッチングトランジスタを制御する。そして、メモリセルアレイMC\_ARRAY2内のサブセンス線SSL1〜SSL6の電位を決定すると共に、メインセンス線MSLとの接続／非接続をスイッチする。

【0061】カラムデコーダCOLDEC3はスイッチ群SW\_GROUP11及びSW\_GROUP12にそれぞれ含まれるスイッチングトランジスタを制御する。そして、メモリセルアレイMC\_ARRAY3内のサブセンス線SSL1〜SSL6の電位を決定すると共に、メインセンス線MSLとの接続／非接続をスイッチする。

【0062】カラムデコーダCOLDEC4はスイッチ群SW\_GROUP15及びSW\_GROUP16にそれぞれ含まれるスイッチングトランジスタを制御する。そして、メモリセルアレイMC\_ARRAY4内のサブセンス線SSL1〜SSL6の電位を決定すると共に、メインセンス線MSLとの接続／非接続をスイッチする。

【0063】上記のように、スイッチ群SW\_GROUP4、SW\_GROUP8、SW\_GROUP12、SW\_GROUP16を介して12本のサブセンス線SSL1〜SSL6、SSL1〜SSL6、SSL1〜SSL6、SSL1〜SSL6が接続されたメインセンス線MSLは、読み出し・書き込み部RD/WR\_SECに接続されている。読み出し・書き込み部RD/WR\_SECの構成は上記第1の実施形態と同様であるので説明は省略する。

【0064】次に上記構成のMRAMの動作について説明する。まず、書き込み動作について、MC\_ARRAY2内におけるサブワード線SWL6とサブセンス線SSL1との交点に配置されたメモリセルMC61にデータを書き込む場合を例に挙げて説明する。

【0065】まず、カラムデコーダCOLDEC2がスイッチ群SW\_GROUP8内のスイッチングトランジスタSW8-1をオン状態とし、メモリセルアレイMC\_ARRAY2内のサブセンス線SSL1をメインセンス線MSLに接続する。またカラムデコーダCOLDEC2は、スイッチ群SW\_GROUP7内のスイッチングトランジスタSW7-1をオン状態とし、メモリセルアレイMC\_ARRAY2内のサブセンス線SSL1を接地電位に接続する。更に、書き込み制御信号線WR\_CNTに書き込み制御信号を与えることにより、書き込み用スイッチングトランジスタSW50をオン状態にする。そして、書き込み用電流源11からメインセンス線MSLを介して、メモリセルアレ

20

イMC\_ARRAY2内のサブセンス線SSL1に書き込み電流Iwriteを流す。なお、スイッチ群SW\_GROUP8内のスイッチングトランジスタSW8-2、SW8-3、スイッチ群SW\_GROUP7内のスイッチングトランジスタSW7-2、SW7-3、及びスイッチ群SW\_GROUP4、SW\_GROUP12、SW\_GROUP16内の全スイッチングトランジスタはオフ状態としておく。これにより、メモリセルアレイMC\_ARRAY2内のサブセンス線SSL2、SSL3、並びにメモリセルアレイMC\_ARRAY1、MC\_ARRAY3、及びMC\_ARRAY4内のサブセンス線SSL1〜SSL3はメインセンス線MSLと電気的に分離される。スイッチ群SW\_GROUP3、SW\_GROUP11、SW\_GROUP15内のスイッチングトランジスタは、オン状態とオフ状態のどちらでも構わない。

【0066】次にロウデコーダROWDEC1、ROWDEC2が、スイッチ群SW\_GROUP6内のスイッチングトランジスタSW6-6、及びスイッチ群SW\_GROUP5内のスイッチングトランジスタSW5-6をそれぞれオン状態にする。そして、ロウデコーダROWDEC2はメインワード線MWL3、MWL4のいずれかを選択して電圧を印加し、選択した一方からサブワード線SWL6に電流を供給する。サブワード線SWL6を流れる電流の向きによって、メモリセルMC61に、“0”データ、または“1”データが書き込まれる。なお、他のメインワード線に接続されるスイッチ群SW\_GROUP5内のスイッチングトランジスタSW5-1〜SW5-5、スイッチ群SW\_GROUP6内のスイッチングトランジスタSW6-1〜SW6-5、並びに、スイッチ群SW\_GROUP9、SW\_GROUP10、SW\_GROUP13、SW\_GROUP14内の全スイッチングトランジスタは、オフ状態としておく。

【0067】次に読み出し動作について、同じくメモリセルMC61からデータを読み出す場合を例に挙げて説明する。

【0068】まずロウデコーダROWDEC2が、メインワード線MWL3を選択して、メインワード線MWL3に電圧Vreadを印加する。またロウデコーダROWDEC2は、スイッチ群SW\_GROUP5内のスイッチングトランジスタSW5-6をオン状態とし、ロウデコーダROWDEC1が、スイッチ群SW\_GROUP6内のスイッチングトランジスタSW6-6をオフ状態とする。これにより、メモリセルアレイMC\_ARRAY2内のサブワード線SWL6に電圧Vreadが印加される。この際、非選択の全てのサブワード線は接地電位またはフローティング状態としておく。

【0069】次にカラムデコーダ2がスイッチ群SW\_GROUP8内のスイッチングトランジスタSW8-1をオン状態とし、メモリセルアレイMC\_ARRAY2内のサブセンス線SSL1をメインセンス線MSLに接続する。またカラムデコーダ2は、スイッチ群SW\_GROUP7内のスイッチングトランジスタSW7-1をオフ状態とする。メインセンス線MSLに接続されている他のスイッチングトランジスタSW8-2、SW8-3、並びにスイッチ群SW\_GROUP4、SW\_GROUP12、及びSW\_GROUP16内の全スイッチングトランジスタはオフ状態としておく。これにより、メモリセルアレイMC\_ARRAY2内

21

のサブセンス線SSL2、SSL3、並びにメモリセルアレイMC\_ARRAY1、MC\_ARRAY3、及びMC\_ARRAY4内のサブセンス線SL1～SSL3はメインセンス線MSLと電気的に分離される。また、スイッチ群SW\_GROUP7内のスイッチングトランジスタSW7-2、SW7-3をオン状態とすることにより、メモリセルアレイMC\_ARRAY2内の非選択のサブセンス線SSL2、SSL3を接地電位としておく。スイッチ群SW\_GROUP3、SW\_GROUP11、及びSW\_GROUP15内のスイッチングトランジスタは、オン状態とオフ状態のどちらでも構わない。

【0070】更に、読み出し制御信号線RD\_CNTに読み出し制御信号を与えることにより、読み出し用スイッチングトランジスタSW60をオン状態にして、センス回路12をメインセンス線MSLに接続する。

【0071】すると、電圧Vreadが印加されたことによりメモリセルMC61からサブセンス線SSL1を介してメインセンス線MSLに読み出し電流Ireadが流れ出し、読み出し電流Ireadはセンス回路12に流れ込む。読み出し電流Ireadは、抵抗素子14によって電圧に変換され、オペアンプ13の出力端子から読み出し電圧Voutとして出力される。

【0072】上記のように、本発明の第2の実施形態に係るMRAMによれば、上記第1の実施形態と同様に、非選択セルで作られる寄生インピーダンスの影響を排除出来、選択セルに書き込まれている情報を正確に読み出すことが出来る。

【0073】また、センス線をメインセンス線とサブセンス線とを含む階層ビット線方式とすると共に、ワード線をメインワード線とサブワード線とを含む階層ワード線方式として、メモリセルアレイを分割している。従って、第1の実施形態と比して、更に選択セルに繋がる寄生インピーダンスを低減できる。すなわち、本実施形態であると、72個のメモリセルを、1つあたり(6×3)個のメモリセルを含む4つのメモリセルアレイによってMRAMを構成している。従って、読み出し時において、メインセンス線MSLには17個の非選択セルが寄生インピーダンスとして存在するに過ぎない。その結果、読み出し電流Ireadを更に効率よくセンス回路12に流すことが出来る。従って、上記第1の実施形態で説明した効果を更に高めることが出来る。

【0074】次にこの発明の第3の実施形態に係る半導体記憶装置について図5を用いて説明する。図5はMRAMのブロック図である。本実施形態に係るMRAMは、上記第2の実施形態において、書き込み用電流源11の供給電流の向きを可変にしたものである。本実施形態に係るMRAMの構造は、上記第2の実施形態に係るMRAMと類似しているので、ここでは両者の異なる点を説明することにする。

【0075】図示するように、本実施形態に係るMRAMは、上記第2の実施形態に係るMRAMにおいて、メインワード線MWL2、MWL4、MWL6、MWL8を廃したものである。そして、スイッチ群SW\_GROUP2内のスイッチングトランジ

22

スタSW2-1～SW2-6のゲートをロウデコーダROWDEC1に接続し、ソース・ドレインのいずれか他方をメモリセルアレイMC\_ARRAY1内のサブワード線SWL1～SWL6にそれぞれ接続し、ソース・ドレインのいずれか一方を接地電位に接続している。また、スイッチ群SW\_GROUP6内のスイッチングトランジスタSW6-1～SW6-6のゲートをロウデコーダROWDEC2に接続し、ソース・ドレインのいずれか他方をメモリセルアレイMC\_ARRAY2内のサブワード線SWL1～SWL6にそれぞれ接続し、ソース・ドレインのいずれか一方を接地電位に接続している。更に、スイッチ群SW\_GROUP10内のスイッチングトランジスタSW10-1～SW10-6のゲートをロウデコーダROWDEC3に接続し、ソース・ドレインのいずれか他方をメモリセルアレイMC\_ARRAY3内のサブワード線SWL1～SWL6にそれぞれ接続し、ソース・ドレインのいずれか一方を接地電位に接続している。更に、スイッチ群SW\_GROUP14内のスイッチングトランジスタSW14-1～SW14-6のゲートをロウデコーダROWDEC4に接続し、ソース・ドレインのいずれか他方をメモリセルアレイMC\_ARRAY4内のサブワード線SWL1～SWL6にそれぞれ接続し、ソース・ドレインのいずれか一方を接地電位に接続している。

【0076】ロウデコーダROWDEC1は、スイッチ群SW\_GROUP1、SW\_GROUP2に含まれるスイッチングトランジスタを制御する。またメインワード線MWL1に電位を供給する。これにより、メモリセルアレイMC\_ARRAY1内のサブワード線SWL1～SWL6のいずれかをメインワード線MWL1に接続すると共に、メモリセルアレイMC\_ARRAY1内のサブワード線SWL1～SWL6を書き込み状態、読み出し状態、または接地電位状態とする。

【0077】ロウデコーダROWDEC2は、スイッチ群SW\_GROUP5、SW\_GROUP6に含まれるスイッチングトランジスタを制御する。またメインワード線MWL3に電位を供給する。これにより、メモリセルアレイMC\_ARRAY2内のサブワード線SWL1～SWL6のいずれかをメインワード線MWL3に接続すると共に、メモリセルアレイMC\_ARRAY2内のサブワード線SWL1～SWL6を書き込み状態、読み出し状態、または接地電位状態とする。

【0078】ロウデコーダROWDEC3は、スイッチ群SW\_GROUP9、SW\_GROUP10に含まれるスイッチングトランジスタを制御する。またメインワード線MWL5に電位を供給する。これにより、メモリセルアレイMC\_ARRAY3内のサブワード線SWL1～SWL6のいずれかをメインワード線MWL3に接続すると共に、メモリセルアレイMC\_ARRAY3内のサブワード線SWL1～SWL6を書き込み状態、読み出し状態、または接地電位状態とする。

【0079】ロウデコーダROWDEC4は、スイッチ群SW\_GROUP13、SW\_GROUP14に含まれるスイッチングトランジスタを制御する。またメインワード線MWL4に電位を供給する。これにより、メモリセルアレイMC\_ARRAY4内のサブワード線SWL1～SWL6のいずれかをメインワード線MWL4に

接続すると共に、メモリセルアレイMC\_ARRAY4内のサブワード線SWL1〜SWL6を書き込み状態、読み出し状態、または接地電位状態とする。

【0080】また、読み出し・書き込み部RD/WR\_SEC内の書き込み用電流源11の電源を、プラス電源とマイナス電源との間で切り替えられるようにしている。これにより、書き込み用電流源11がメインセンス線MSLに流す書き込み電流Iwriteの向きを変えることが出来る。

【0081】次に上記構成のMRAMの動作について説明する。まず、書き込み動作について、MC\_ARRAY2内におけるサブワード線SWL6とサブセンス線SSL1との交点に配置されたメモリセルMC61にデータを書き込む場合を例に挙げて説明する。

【0082】まず、カラムデコーダ2がスイッチ群SW\_GROUP8内のスイッチングトランジスタSW8-1をオン状態とし、メモリセルアレイMC\_ARRAY2内のサブセンス線SSL1をメインセンス線MSLに接続する。またカラムデコーダ2は、スイッチ群SW\_GROUP7内のスイッチングトランジスタSW7-1をオン状態とし、メモリセルアレイMC\_ARRAY2内のサブセンス線SSL1を接地電位に接続する。更に、書き込み制御信号線WR\_CNTに書き込み制御信号を与えることにより、書き込み用スイッチングトランジスタSW50をオン状態にする。そして、書き込み用電流源11の電源電位を正または負に設定することにより、書き込み用電流源11からメインセンス線MSLを介してメモリセルアレイMC\_ARRAY2内のサブセンス線SSL1に向かって、または逆向きに書き込み電流Iwriteを流す。なお、スイッチ群SW\_GROUP8内のスイッチングトランジスタSW8-2、SW8-3、スイッチ群SW\_GROUP7内のスイッチングトランジスタSW7-2、SW7-3、及びスイッチ群SW\_GROUP4、SW\_GROUP12、SW\_GROUP16内の全スイッチングトランジスタはオフ状態としておく。これにより、メモリセルアレイMC\_ARRAY2内のサブセンス線SSL2、SSL3、並びにメモリセルアレイMC\_ARRAY1、MC\_ARRAY3、及びMC\_ARRAY4内のサブセンス線SSL1〜SSL3はメインセンス線MSLと電気的に分離される。スイッチ群SW\_GROUP3、SW\_GROUP11、SW\_GROUP15内のスイッチングトランジスタは、オン状態とオフ状態のどちらでも構わない。

【0083】次にロウデコーダROWDEC2が、スイッチ群SW\_GROUP5、SW\_GROUP6内のスイッチングトランジスタSW5-6、SW6-6をオン状態にする。そして、ロウデコーダROWDEC2はメインワード線MWL3に電圧を印加する。これにより、メインワード線MWL3からサブワード線SWL6に電流が供給される。サブセンス線SSL1を流れる電流の向きによって、メモリセルMC61に、“0”データ、または“1”データが書き込まれる。なお、他のメインワード線に接続される、スイッチ群SW\_GROUP5内のスイッチングトランジスタSW5-1〜SW5-5、スイッチ群SW\_GROUP1、SW\_GROUP9、SW\_GROUP13内のスイッチングトランジスタは、全てオフ状態としておく。スイッチ群SW\_GROUP6内のスイ

チングトランジスタSW6-1〜SW6-5、並びにスイッチ群SW\_GROUP2、SW\_GROUP10、SW\_GROUP14内の全スイッチングトランジスタは、オン状態とオフ状態のどちらでも構わない。

【0084】次に読み出し動作について、同じくメモリセルMC61からデータを読み出す場合を例に挙げて説明する。

【0085】まずロウデコーダROWDEC2がメインワード線MWL3に電圧Vreadを印加する。またロウデコーダROWDEC2は、スイッチ群SW\_GROUP5内のスイッチングトランジスタSW5-6をオン状態とし、スイッチ群SW\_GROUP6内のスイッチングトランジスタSW6-6をオフ状態とする。これにより、メモリセルアレイMC\_ARRAY2内のサブワード線SWL6に電圧Vreadが印加され、メモリセルMC61に電流が供給される。この際、非選択の全てのサブワード線は接地電位またはフローティング状態としておく。

【0086】次にカラムデコーダCOLDEC2がスイッチ群SW\_GROUP8内のスイッチングトランジスタSW8-1をオン状態とし、メモリセルアレイMC\_ARRAY2内のサブセンス線SSL1をメインセンス線MSLに接続する。またカラムデコーダCOLDEC2は、スイッチ群SW\_GROUP7内のスイッチングトランジスタSW7-1をオフ状態とする。メインセンス線MSLに接続されているその他のスイッチングトランジスタSW8-2、SW8-3、並びにスイッチ群SW\_GROUP4、SW\_GROUP12、及びSW\_GROUP16内の全スイッチングトランジスタはオフ状態としておく。これにより、メモリセルアレイMC\_ARRAY2内のサブセンス線SSL2、SSL3、並びにメモリセルアレイMC\_ARRAY1、MC\_ARRAY3、及びMC\_ARRAY4内のサブセンス線SSL1〜SSL3はメインセンス線MSLと電気的に分離される。また、スイッチ群SW\_GROUP7内のスイッチングトランジスタSW7-2、SW7-3をオン状態とすることにより、メモリセルアレイMC\_ARRAY2内の非選択のサブセンス線SSL2、SSL3を接地電位としておく。スイッチ群SW\_GROUP3、SW\_GROUP11、及びSW\_GROUP15内のスイッチングトランジスタは、オン状態とオフ状態のどちらでも構わない。

【0087】更に、読み出し制御信号線RD\_CNTに読み出し制御信号を与えることにより、読み出し用スイッチングトランジスタSW60をオン状態にして、センス回路12をメインセンス線MSLに接続する。

【0088】すると、第1、第2の実施形態と同様に、メインセンス線MSLに流れ出した読み出し電流Ireadが、センス回路12において読み出し電圧Voutとして出力される。

【0089】上記のように、本発明の第3の実施形態に係るMRAMによれば、上記第2の実施形態と同様の効果が得られる。更に、書き込み用電流源11の書き込み電流Iwriteの向きを可変にしている。そして、サブセンス線を流れる書き込み電流Iwriteの向きによって、書き込みデータを制御している。すなわち、書き込み時において、



サブワード線SWL1~SWL6に流れる電流の向きを考慮する必要がない。従って、サブワード線SWL1~SWL6のそれぞれの一端に接続されるスイッチ群内のスイッチングトランジスタをロウデコードに接続する必要がない。本実施形態では、スイッチ群SW\_GROUP2とスイッチ群SW\_GROUP6、並びにスイッチ群SW\_GROUP10とスイッチ群SW\_GROUP14とを隣接配置し、隣接するスイッチングトランジスタのソースを共通配線にて接地電位に接続している。従って、MRAMを構成するために必要な配線数を削減することが出来、チップ面積の縮小化を図ることが出来る。

【0090】次にこの発明の第4の実施形態に係る半導体記憶装置について図6(a)、(b)、及び図7を用いて説明する。図6(a)、(b)はMRAMセルの構造を示しており、(a)図は等価回路図、(b)図は断面図である。図7はMRAMのブロック図である。

【0091】図6(a)に示すように、MRAMセルは1個のTMR素子と1個のセルトランジスタMC-TRとを有している。また図6(b)に示すように、セルトランジスタMC-TRは、シリコン基板1中に互いに離隔して設けられたソース・ドレイン領域20a、20bと、ソース・ドレイン領域20a、20b間のシリコン基板1上に図示せぬゲート絶縁膜を介して設けられたゲート電極20とを有している。ゲート電極20は読み出し用ワード線RD-WLとして機能する。ソース領域20aは、金属配線層22によって接地電位に接続されている。またドレイン領域20bは、金属配線層23、24によって、TMR素子の一方の磁性体膜5に接続されている。更に層間絶縁膜2中には、書き込み用ワード線WR-WLとなる金属配線層25が、サブセンス線SSLと直交する方向に、且つTMR素子と電気的に離隔するようにして設けられている。

【0092】図6(c)は、図6(b)とは別の構造を有するMRAMセルの断面図である。図示するように、図6(b)に示す構造において、絶縁膜4上に磁性体膜26が設けられ、磁性体膜26上に絶縁膜27が設けられ、磁性体膜6が絶縁膜27上に設けられている。磁性体膜5、6のスピンの向きは予め、互いに等しくなるよう所定の方向に設定されている。その上で、磁性体膜26のスピンの向きを磁性体膜5、6に対して平行、または反平行とすることで、“0”データ、または“1”データを書き込む。本実施形態は、第1の実施形態を、上記のようなTMR素子とセルトランジスタMC-TRとを有するMRAMセルを用いてセルアレイを構成した場合に適用したものである。

【0093】図示するように、MRAM10は、メモリセルアレイMC\_ARRAY1、MC\_ARRAY2、スイッチ群SW\_GROUP1~SW\_GROUP8、ロウデコードROWDEC1~ROWDEC4、カラムデコードCOLDEC1、COLDEC2及び読み出し・書き込み部RD/WR\_SECを備えている。

【0094】メモリセルアレイMC\_ARRAY1、MC\_ARRAY2は、複数の書き込み用ワード線WR-WL1~WR-WL6と、書き込み用ワード線WR-WL1~WR-WL6に直交するサブセンス線

SSL1~SSL6との交点に設けられ、マトリクス状に配置された(6×6)個のMRAMセルMCを各々有している。勿論、メモリセルアレイMC\_ARRAY1、MC\_ARRAY2に含まれるメモリセルMCの数は(6×6)個に限定されるものではない。このMRAMセルMCは、図6(a)~(b)または図6

(a)、(c)に示す構造を有するものである。そして、図6(a)における書き込み用ワード線WR-WLが図7における書き込み用ワード線WR-WL1~WR-WL6のいずれかに接続され、図6(a)におけるサブセンス線SSLが図7におけるサブセンス線SSL1~SSL6のいずれかに接続されている。また各MRAMセルの読み出し用ワード線RD-WLは、同一行毎に共通の読み出し用ワード線RD-WL1~RD-WL6のいずれかに接続されている。

【0095】スイッチ群SW\_GROUP1、SW\_GROUP2はそれぞれ、6つのスイッチングトランジスタSW1-1~SW1-6及びSW2-1~SW2-6を有している。スイッチングトランジスタSW1-1~SW1-6のゲート及びソース・ドレインのいずれか一方はロウデコードROWDEC1に接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY1内の書き込み用ワード線WR-WL1~WR-WL6の一端に接続されている。スイッチングトランジスタSW2-1~SW2-6のゲート及びソース・ドレインのいずれか一方はロウデコードROWDEC2に接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY1内の書き込み用ワード線WR-WL1~WR-WL6の他端に接続されている。

【0096】スイッチ群SW\_GROUP3、SW\_GROUP4はそれぞれ、6つのスイッチングトランジスタSW3-1~SW3-6、及びSW4-1~SW4-6を有している。スイッチングトランジスタSW3-1~SW3-6のゲート及びソース・ドレインのいずれか一方はカラムデコードCOLDEC1に接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY1内のサブセンス線SSL1~SSL6の一端に接続されている。スイッチングトランジスタSW4-1~SW4-6のゲートはカラムデコードCOLDEC1に接続され、ソース・ドレインのいずれか一方はメインセンス線MSLに接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY1内のサブセンス線SSL1~SSL6の他端に接続されている。

【0097】スイッチ群SW\_GROUP5、SW\_GROUP6はそれぞれ、6つのスイッチングトランジスタSW5-1~SW5-6及びSW6-1~SW6-6を有している。スイッチングトランジスタSW5-1~SW5-6のゲート及びソース・ドレインのいずれか一方はロウデコードROWDEC3に接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY2内の書き込み用ワード線WR-WL1~WR-WL6の一端に接続されている。スイッチングトランジスタSW6-1~SW6-6のゲート及びソース・ドレインのいずれか一方はロウデコードROWDEC4に接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY2内の書き込み用ワード線WR-WL1~WR-WL6の他端に接続されている。

【0098】スイッチ群SW\_GROUP7、SW\_GROUP8はそれぞれ



れ、6つのスイッチングトランジスタSW7-1～SW7-6、及びSW8-1～SW8-6を有している。スイッチングトランジスタSW7-1～SW7-6のゲート及びソース・ドレインのいずれか一方はカラムデコーダCOLDEC2に接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY2内のサブセンス線SSL1～SSL6の一端に接続されている。スイッチングトランジスタSW8-1～SW8-6のゲートはカラムデコーダCOLDEC2に接続され、ソース・ドレインのいずれか一方はメインセンス線MSLに接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY2内のサブセンス線SSL1～SSL6の他端に接続されている。

【0099】ロウデコーダROWDEC1、ROWDEC2は、スイッチ群SW\_GROUP1、SW\_GROUP2内のスイッチングトランジスタを制御する。そして、書き込み時においては、メモリセルアレイMC\_ARRAY1内において選択した書き込み用ワード線WR\_WL1～WR\_WL6のいずれかに電流を供給する。またロウデコーダROWDEC1は、読み出し時において、メモリセルアレイMC\_ARRAY1内の読み出し用ワード線RD-WL1～RD-WL6のいずれかを選択し、選択した読み出し用ワード線に、セルトランジスタMC-TRの閾値以上の電圧を供給する。

【0100】ロウデコーダROWDEC3、ROWDEC4は、スイッチ群SW\_GROUP3、SW\_GROUP4内のスイッチングトランジスタを制御する。そして、書き込み時においては、メモリセルアレイMC\_ARRAY2内において選択した書き込み用ワード線WR\_WL1～WR\_WL6のいずれかに電流を供給する。またロウデコーダROWDEC3は、読み出し時において、メモリセルアレイMC\_ARRAY2内の読み出し用ワード線RD-WL1～RD-WL6のいずれかを選択し、選択した読み出し用ワード線に、セルトランジスタMC-TRの閾値以上の電圧を供給する。

【0101】カラムデコーダCOLDEC1はスイッチ群SW\_GROUP3及びSW\_GROUP4に、カラムデコーダCOLDEC2はスイッチ群SW\_GROUP7及びSW\_GROUP8にそれぞれ含まれるスイッチングトランジスタを制御する。そして、サブセンス線SSL1～SSL6の電位を決定すると共に、メインセンス線MSLとの接続／非接続をスイッチする。

【0102】上記のように、スイッチ群SW\_GROUP4、SW\_GROUP8を介して12本のサブセンス線SSL1～SSL6、SSL1～SSL6が接続されたメインセンス線MSLは、読み出し・書き込み部RD/WR\_SECに接続されている。読み出し・書き込み部RD/WR\_SECは、書き込み用スイッチングトランジスタSW50、読み出し用スイッチングトランジスタSW60、及びセンス回路12を備えている。書き込み用スイッチングトランジスタSW50は、書き込み時において、メインセンス線MSLを接地電位とする。センス回路12は、読み出し用スイッチングトランジスタSW60を介してメインセンス線MSLに接続されている。書き込み用スイッチングトランジスタSW50及び読み出し用スイッチングトランジスタSW60のゲートはそれぞれ、書き込み制御信号及び

読み出し制御信号がそれぞれ入力される書き込み制御信号線WR\_CNT及び読み出し制御信号線RD\_CNTに接続されている。センス回路12は、オペアンプ13及び抵抗素子14を有している。オペアンプ13は、電源電位に接続された正転入力端子、読み出し用スイッチングトランジスタSW60を介してメインセンス線MSLに接続される反転入力端子、及び出力端子を有している。抵抗素子14は、オペアンプ13の正転入力端子に接続された一端、及びオペアンプ13の出力端子に接続された他端を有している。センス回路12は、読み出し時において、スイッチングトランジスタSW60を介してメインセンス線MSLから入力される読み出し電流Ireadを、抵抗素子14にて電圧に変換し、読み出し電圧Voutとして出力する。

【0103】次に上記構成のMRAMの動作について説明する。まず、書き込み動作について、MC\_ARRAY2内におけるサブセンス線SSL6とワード線WL6との交点に配置されたメモリセルMC66にデータを書き込む場合を例に挙げて説明する。

【0104】まず、カラムデコーダ2がスイッチ群SW\_GROUP8内のスイッチングトランジスタSW8-6をオン状態とし、メモリセルアレイMC\_ARRAY2内のサブセンス線SSL6をメインセンス線MSLに接続する。またカラムデコーダ2は、スイッチ群SW\_GROUP7内のスイッチングトランジスタSW7-6をオン状態とし、サブセンス線SSL6に書き込み電圧を印加する。更に、書き込み制御信号線WR\_CNTに書き込み制御信号を与えることにより、書き込み用スイッチングトランジスタSW50をオン状態にする。これにより、サブセンス線SSL6からメインセンス線MSLに書き込み電流Iwriteが流れる。なお、スイッチ群SW\_GROUP8内のスイッチングトランジスタSW8-1～SW8-5、スイッチ群SW\_GROUP7内のスイッチングトランジスタSW7-1～SW7-5、及びスイッチ群SW\_GROUP4内の全スイッチングトランジスタはオフ状態としておく。スイッチ群SW\_GROUP3内のスイッチングトランジスタは、オン状態とオフ状態のどちらでも構わない。

【0105】次にロウデコーダROWDEC3、ROWDEC4が、スイッチ群SW\_GROUP5内のスイッチングトランジスタSW5-6、及びスイッチ群SW\_GROUP6内のスイッチングトランジスタSW6-6をオン状態にする。そして、ロウデコーダROWDEC3、またはROWDEC4側いずれから書き込み用ワード線WR-WL6に電流を供給する。書き込み用ワード線WR-WL6を流れる電流の向きによって、メモリセルMC66には“0”データ、または“1”データが書き込まれる。なお、スイッチ群SW\_GROUP5内のスイッチングトランジスタSW5-1～SW5-5、及びスイッチ群SW\_GROUP6内のスイッチングトランジスタSW6-1～SW6-5はオフ状態としておく。スイッチ群SW\_GROUP1、SW\_GROUP2内のスイッチングトランジスタは、オン状態とオフ状態のどちらでも構わない。

【0106】次に読み出し動作について、同じくメモリ

セルMC66からデータを読み出す場合を例に挙げて説明する。

【0107】まず、カラムデコーダCOLDEC2がスイッチ群SW\_GROUP8内のスイッチングトランジスタSW8-6をオン状態とし、メモリセルアレイMC\_ARRAY2内のサブセンス線SSL6をメインセンス線MSLに接続する。またカラムデコーダCOLDEC2は、スイッチ群SW\_GROUP7内のスイッチングトランジスタSW7-6をオフ状態とする。メインセンス線MSLに接続されているその他のスイッチングトランジスタSW8-1〜SW8-5、及びスイッチ群SW\_GROUP4内の全スイッチングトランジスタはオフ状態としておく。また、スイッチ群SW\_GROUP7内のスイッチングトランジスタSW7-1〜SW7-5をオン状態とすることにより、非選択のサブセンス線SSL1〜SSL5を接地電位としておく。スイッチ群SW\_GROUP3内のスイッチングトランジスタは、オン状態とオフ状態のどちらでも構わない。

【0108】更に、読み出し制御信号線RD\_CNTに読み出し制御信号を与えることにより、読み出し用スイッチングトランジスタSW60をオン状態にして、センス回路12をメインセンス線MSLに接続する。

【0109】次にロウデコーダROWDEC3が、読み出し用ワード線RD-WL6に電圧を印加し、メモリセルMC66内のセルトランジスタMC\_TRをオン状態とする。この際、他の読み出し用ワード線RD-WL1〜RD-WL5及び書き込み用ワード線WR-WL1〜WR-WL6の全ては接地電位またはフローティング状態としておく。

【0110】すると、メインセンス線MSLは仮想的に電源電位とされているから、メインセンス線MSLからサブセンス線SSL6を介してメモリセルMC66に読み出し電流I<sub>read</sub>が流れ出す。この読み出し電流I<sub>read</sub>は、抵抗素子14によって電圧に変換され、オペアンプ13の出力端子から読み出し電圧V<sub>out</sub>として出力される。

【0111】上記のように、本発明の第4の実施形態に係るMRAMによれば、TMR素子とセルトランジスタとを含むMRAMセルについても、上記第1の実施形態で説明した効果が得られる。なお、TMR素子とセルトランジスタとを含むメモリセルを上記第2、第3の実施形態に適用することも可能なのは言うまでもない。

【0112】次にこの発明の第5の実施形態に係る半導体記憶装置について図8(a)、(b)を用いて説明する。図8(a)はMRAMセルの等価回路図であり、図8(b)は断面図である。

【0113】図示するように、MRAMセルはTMR素子のみで構成されている。すなわち、シリコン基板1上に設けられた層間絶縁膜2中にセンス線SLとなる金属配線層30が設けられている。またセンス線SLと同一のレベルに書き込み用ワード線WR-WLとなる金属配線層31が、センス線SLと平行に設けられている。更に層間絶縁膜2中には、センス線SLと金属配線層32、33によって接続され、且つ書き込み用ワード線WR-WLと近接するようにしてTMR

素子が設けられている。TMR素子は、金属配線層33上に設けられた磁性体膜5、磁性体膜5上に設けられた絶縁膜7、及び絶縁膜7上に設けられた磁性体膜6を有している。そして、磁性体膜6に電氣的に接続されるようにして、層間絶縁膜2上に書き込み用ワード線RD-WLとなる金属配線層34が、センス線SLと直交する方向に設けられている。

【0114】次に、上記MRAMセルの書き込み・読み出し方法について説明する。書き込み時には、書き込み用ワード線WR-WL及び読み出し用ワード線RD-WLに電流が供給される。そして、読み出し用ワード線RD-WLに流れる電流の向きによって、磁性体膜5、6のスピンの向きを平行、または反平行とする。これにより、“0”データ、または“1”データを書き込む。データの読み出しの際には、読み出し用ワード線RD-WLに電圧を印加する。そして、MRAMセルからセンス線SLに流れる電流を取り出すことによって、データを読み出す。

【0115】上記のようなMRAMセルによれば、新たに書き込み用ワード線WR-WLを設けている。そのため、書き込み時において、読み出し用ワード線RD-WLに供給される電流のみがMRAMセルに直接流れる。従って、書き込み時にTMR素子に加わる電氣的なストレスを抑制でき、その結果、MRAMセルの信頼性を向上できる。なお、書き込み用ワード線WR-WL及びセンス線SLは、同一レベルの金属配線層を用いることが望ましい。この場合には、金属配線層30、31のパターニングを同一工程にて行うことが出来、製造プロセスを簡略化出来る。

【0116】図8(c)は、図8(b)とは別の構造を有するMRAMセルの断面図である。図示するように、図8(b)に示す構造において、絶縁膜4上に磁性体膜26が設けられ、磁性体膜26上に絶縁膜27が設けられ、磁性体膜6が絶縁膜27上に設けられている。磁性体膜5、6のスピンの向きは予め、互いに等しくなるよう所定の方向に設定されている。書き込み、読み出し方法は、図8

(b)の構造の場合と同様であるが、磁性体膜26のスピンの向きが書き込み時に制御される。そして磁性体膜26のスピンの向きを磁性体膜5、6に対して平行、または反平行とすることで、“0”データ、または“1”データを書き込む。図8(c)に示す構造であると、図8(b)に示す構造よりも高いMR比を得ることが出来る。

【0117】次にこの発明の第6の実施形態に係る半導体記憶装置について図9を用いて説明する。図9はMRAMのブロック図である。本実施形態は、上記第1の実施形態を、上記第5の実施形態に係るMRAMセルを用いてセルアレイを構成した場合に適用したものである。

【0118】図示するように、MRAM10は、メモリセルアレイMC\_ARRAY1、MC\_ARRAY2、スイッチ群SW\_GROUP1〜SW\_GROUP8、ロウデコーダROWDEC1〜4、カラムデコーダCOLDEC1、COLDEC2、読み出し部RD\_SEC、及び書き込み用ロウデコーダWRITE-ROWDECを備えている。

31

【0119】メモリセルアレイMC\_ARRAY1、MC\_ARRAY2は、複数の読み出し用ワード線RD-WL1〜RD-WL6と、読み出し用ワード線RD-WL1〜RD-WL6に直交するサブセンス線SSL1〜SSL6との交点に設けられ、マトリクス状に配置された(6×6)個のMRAMセルMCを各々有している。勿論、メモリセルアレイMC\_ARRAY1、MC\_ARRAY2に含まれるメモリセルMCの数は(6×6)個に限定されるものではない。このMRAMセルMCは、図8(a)、(b)、または図8

(a)、(c)に示す構造を有するものである。そして、図8(a)における読み出し用ワード線RD-WLが図9における読み出し用ワード線RD-WL1〜RD-WL6のいずれかに接続され、図8(a)におけるセンス線SLが図9におけるサブセンス線SSL1〜SSL6のいずれかに接続されている。また各MRAMセルの書き込み用ワード線WR-WLは、同一列毎に共通の書き込み用ワード線WR-WL1〜WR-WL6のいずれかに接続されている。なお、書き込み用ワード線WR-WL1〜WR-WL6は、メモリセルアレイMC\_ARRAY1とMC\_ARRAY2とで共通接続されている。また書き込み用ワード線WR-WL1〜WR-WL6の一端は接地電位に接続され、他端は書き込み用ロウデコーダWRITE-ROWDECに接続されている。

【0120】スイッチ群SW\_GROUP1、SW\_GROUP2はそれぞれ、6つのスイッチングトランジスタSW1-1〜SW1-6及びSW2-1〜SW2-6を有している。スイッチングトランジスタSW1-1〜SW1-6のゲート及びソース・ドレインのいずれか一方はロウデコーダROWDEC1に接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY1内の読み出し用ワード線RD-WL1〜RD-WL6の一端に接続されている。スイッチングトランジスタSW2-1〜SW2-6のゲート及びソース・ドレインのいずれか一方はロウデコーダROWDEC2に接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY1内の読み出し用ワード線RD-WL1〜RD-WL6の他端に接続されている。

【0121】スイッチ群SW\_GROUP3、SW\_GROUP4はそれぞれ、6つのスイッチングトランジスタSW3-1〜SW3-6、及びSW4-1〜SW4-6を有している。スイッチングトランジスタSW3-1〜SW3-6のゲートはカラムデコーダCOLDEC1に接続され、及びソース・ドレインのいずれか一方は接地電位に接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY1内のサブセンス線SSL1〜SSL6の一端に接続されている。スイッチングトランジスタSW4-1〜SW4-6のゲートはカラムデコーダCOLDEC1に接続され、ソース・ドレインのいずれか一方はメインセンス線MSLに接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY1内のサブセンス線SSL1〜SSL6の他端に接続されている。

【0122】スイッチ群SW\_GROUP5、SW\_GROUP6はそれぞれ、6つのスイッチングトランジスタSW5-1〜SW5-6及びSW6-1〜SW6-6を有している。スイッチングトランジスタSW5-1〜SW5-6のゲート及びソース・ドレインのいずれか一方はロウデコーダROWDEC3に接続され、ソース・ドレ

32

インのいずれか他方はメモリセルアレイMC\_ARRAY2内の読み出し用ワード線RD-WL1〜RD-WL6の一端に接続されている。スイッチングトランジスタSW6-1〜SW6-6のゲート及びソース・ドレインのいずれか一方はロウデコーダROWDEC4に接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY2内の読み出し用ワード線RD-WL1〜RD-WL6の他端に接続されている。

【0123】スイッチ群SW\_GROUP7、SW\_GROUP8はそれぞれ、6つのスイッチングトランジスタSW7-1〜SW7-6、及びSW8-1〜SW8-6を有している。スイッチングトランジスタSW7-1〜SW7-6のゲートはカラムデコーダCOLDEC2に接続され、及びソース・ドレインのいずれか一方は接地電位に接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY2内のサブセンス線SSL1〜SSL6の一端に接続されている。スイッチングトランジスタSW8-1〜SW8-6のゲートはカラムデコーダCOLDEC2に接続され、ソース・ドレインのいずれか一方はメインセンス線MSLに接続され、ソース・ドレインのいずれか他方はメモリセルアレイMC\_ARRAY2内のサブセンス線SSL1〜SSL6の他端に接続されている。

【0124】ロウデコーダROWDEC1〜ROWDEC4はそれぞれ、スイッチ群SW\_GROUP1、SW\_GROUP2、SW\_GROUP5、SW\_GROUP6内に含まれるスイッチングトランジスタを制御し、読み出し用ワード線RD-WL1〜RD-WL6に所定の電位を与える。

【0125】カラムデコーダCOLDEC1はスイッチ群SW\_GROUP3及びSW\_GROUP4に、カラムデコーダCOLDEC2はスイッチ群SW\_GROUP7及びSW\_GROUP8にそれぞれ含まれるスイッチングトランジスタを制御する。そして、サブセンス線SSL1〜SSL6の電位を決定すると共に、メインセンス線MSLとの接続/非接続をスイッチする。

【0126】書き込み用ロウデコーダWRITE-ROWDECは書き込み時において使用され、書き込み用ワード線WR-WL1〜WR-WL6のいずれかに書き込み電流を供給する。

【0127】上記のように、スイッチ群SW\_GROUP4、SW\_GROUP8を介して12本のサブセンス線SSL1〜SSL6、SSL1〜SSL6が接続されたメインセンス線MSLは、読み出し部RD\_SECに接続されている。読み出しRD\_SECは、読み出し用スイッチングトランジスタSW60、及びセンス回路12を備えている。センス回路12は、読み出し用スイッチングトランジスタSW60を介してメインセンス線MSLに接続されている。読み出し用スイッチングトランジスタSW60のゲートは読み出し制御信号が入力される読み出し制御信号線RD\_CNTに接続されている。センス回路12は上記第1の実施形態と同様であるので説明は省略する。

【0128】次に上記構成のMRAMの動作について説明する。まず、書き込み動作について、MC\_ARRAY2内におけるサブセンス線SSL6とワード線WL6との交点に配置されたメモリセルMC66にデータを書き込む場合を例に挙げて説明する。

33

【0129】まず、カラムデコーダ2がスイッチ群SW\_GRP7、SW\_GRP8内のスイッチングトランジスタの全てをオフ状態とする。なお、スイッチ群SW\_GRP4内の全スイッチングトランジスタもオフ状態としておき、スイッチ群SW\_GRP3内のスイッチングトランジスタは、オン状態とオフ状態のどちらでも構わない。

【0130】次に書き込み用ワード線WR-WL6に電流を供給する。

【0131】次にワード線RD-WL6に電流を供給する。読み出し用ワード線RD-WL6を流れる電流によって、読み出し用ワード線RD-WL6の周辺には磁界が形成される。そして、読み出し用ワード線RD-WL6を流れる電流の向きによって、MRAMセルMC66には、“0”データ、または“1”データが書き込まれる。なお、スイッチ群SW\_GRP8内のスイッチングトランジスタSW8-1～SW8-5、スイッチ群SW\_GRP6内のスイッチングトランジスタSW6-1～SW6-5はオフ状態としておく。スイッチ群SW\_GRP1、SW\_GRP2内のスイッチングトランジスタは、オン状態とオフ状態のどちらでも構わない。

【0132】次に読み出し動作について、同じくメモリセルMC66からデータを読み出す場合を例に挙げて説明する。

【0133】まずワード線RD-WL6に電圧Vreadを印加する。この際、他の読み出し用ワード線RD-WL1～WL5の全ては接地電位またはフローティング状態としておく。

【0134】次にカラムデコーダ2がスイッチ群SW\_GRP8内のスイッチングトランジスタSW8-6をオン状態とし、メモリセルアレイMC\_ARRAY2内のサブセンス線SSL6をメインセンス線MSLに接続する。またカラムデコーダ2は、スイッチ群SW\_GRP7内のスイッチングトランジスタSW7-6をオフ状態とする。メインセンス線MSLに接続されているその他のスイッチングトランジスタSW8-1～SW8-5、及びスイッチ群SW\_GRP4内の全スイッチングトランジスタはオフ状態としておく。また、スイッチ群SW\_GRP7内のスイッチングトランジスタSW7-1～SW7-5をオン状態とすることにより、非選択のサブセンス線SSL1～SSL5を接地電位としておく。スイッチ群SW\_GRP3内のスイッチングトランジスタは、オン状態とオフ状態のどちらでも構わない。

【0135】更に、読み出し制御信号線RD\_CNTに読み出

34

し制御信号を与えることにより、読み出し用スイッチングトランジスタSW60をオン状態にして、センス回路12をメインセンス線MSLに接続する。

【0136】すると、電圧Vreadが印加されたことによりメモリセルMC66からサブセンス線SSL6を介してメインセンス線MSLに読み出し電流Ireadが流れ出し、読み出し電流Ireadはセンス回路12に流れ込む。読み出し電流Ireadは、抵抗素子14によって電圧に変換され、オペンプ13の出力端子から読み出し電圧Voutとして出力される。

【0137】上記のように、本発明の第6の実施形態に係るMRAMによれば、上記第1の実施形態と第5の実施形態で説明した効果を併せて得ることが出来る。

【0138】次にこの発明の第7の実施形態に係る半導体記憶装置について図10を用いて説明する。図10はMRAMの一部領域の断面構造を示しており、特に図1、図4及び図5における領域AA1～AA3のサブセンス線SSL1に沿った断面図である。

【0139】図示するように、シリコン基板1の素子領域上にはスイッチングトランジスタSW3-1及びカラムデコーダCOLDEC1の一部となるMOSトランジスタが形成されている。スイッチングトランジスタSW3-1は、シリコン基板1中に互いに隔離して設けられ、ソース・ドレイン領域として機能する不純物拡散層40a、40b、及び図示せぬゲート絶縁膜を介在してシリコン基板1上に設けられたゲート電極41を有している。またカラムデコーダCOLDEC1の一部となるMOSトランジスタも同様に、シリコン基板1中に互いに隔離して設けられ、ソース・ドレイン領域として機能する不純物拡散層42a、42b、及び図示せぬゲート絶縁膜を介在してシリコン基板1上に設けられたゲート電極43を有している。これらのトランジスタを被覆するようにして、シリコン基板1上には層間絶縁膜2が設けられている。スイッチングトランジスタSW3-1のソース・ドレイン領域のいずれか一方40aは、層間絶縁膜2中に設けられた金属配線層44、45によって接地電位に接続される。また層間絶縁膜2中には、カラムデコーダCOLDEC1上に渡ってサブセンス線SSL1が設けられており、金属配線層44～46によって、スイッチングトランジスタSW3-1のソース・ドレイン領域のいずれか他方40bと電気的に接続されている。サブセンス線SSL1上には、絶縁膜4を磁性体膜5、6で挟み込んだ構造を有するMRAMセルが複数設けられている。そして、各MRAM上にはワード線WL6～WL3（サブワード線SWL6～SWL3）が設けられている。

【0140】上記のような構造であると、スイッチングトランジスタ及びカラムデコーダを、MRAMセルの下部の空き領域に形成している。従って、MRAMの占有面積を削減でき、チップサイズを縮小することが出来る。

【0141】図11は、本実施形態の変形例に係るMRAMの一部領域の断面構造を示しており、特に図4及び図5における領域AA4、AA5のサブワード線SWL2に沿った断面図である。

【0142】図示するように、シリコン基板1の素子領域上にはスイッチングトランジスタSW1-2及びロウデコーダROWDEC1の一部となるMOSトランジスタが形成されている。スイッチングトランジスタSW1-2は、シリコン基板1中に互いに離隔して設けられ、ソース・ドレイン領域として機能する不純物拡散層47a、47b、及び図示せぬゲート絶縁膜を介在してシリコン基板1上に設けられたゲート電極48を有している。またロウデコーダROWDEC1の一部となるMOSトランジスタも同様に、シリコン基板1中に互いに離隔して設けられ、ソース・ドレイン領域として機能する不純物拡散層49a、49b、及び図示せぬゲート絶縁膜を介在してシリコン基板1上に設けられたゲート電極50を有している。これらのトランジスタを被覆するようにして、シリコン基板1上には層間絶縁膜2が設けられている。層間絶縁膜2中には、メインワード線MWL1が設けられており、スイッチングトランジスタSW1-2のソース・ドレイン領域のいずれか一方47b及びロウデコーダROWDEC1の一部となるMOSトランジスタのソース・ドレイン領域のいずれか一方49bが、金属配線層51によってメインワード線MWL1に接続されている。層間絶縁膜2上には、サブセンス線SSL1~SSL3が設けられており、サブセンス線SSL1~SSL3上には、絶縁膜4を磁性体膜5、6で挟み込んだ構造を有するMRAMセルがそれぞれ設けられている。そして、層間絶縁膜2上に更に層間絶縁膜56が設けられ、層間絶縁膜56上には、各MRAM上に共通のサブワード線SWL2が設けられている。サブワード線SWL2は、層間絶縁膜2、56中に設けられた金属配線層51~55によって、スイッチングトランジスタSW1-2のソース・ドレイン領域のいずれか他方47aに接続されている。

【0143】上記のような構造であると、スイッチングトランジスタ、ロウデコーダ、及びメインワード線を、MRAMセルの下部の空き領域に形成している。換言すれば、MRAMセルと、その周辺回路とを、シリコン基板面に垂直な方向でオーバーラップするよう配置している。従って、MRAMを構成する際に必要な占有面積を削減でき、チップサイズを縮小することが出来る。勿論、図9における書き込み用ロウデコーダWRITE-ROWDECや、メインセンス線MSLをMRAMセルと異なるレベルに形成しても良く、同様の効果が得られる。また、ロウデコーダ、コラムデコーダのみならず、読み出し・書き込み部RD/WR\_SE Cや、その他の周辺回路をMRAMセルの下部領域に形成しても良い。更に、メインワード線やメインセンス線等の金属配線層は、MRAMセルの下部ではなく、上部に形成しても、面積削減の効果が得られる。

【0144】上記のように、この発明の第1乃至第7の実施形態に係るMRAMによれば、センス線をメインセンス線とサブセンス線とを含む階層ビット線方式とし、メモリセルアレイを分割している。また第2乃至第7の実施形態に係るMRAMによれば、同時にワード線をメインワード線とサブワード線とを含む階層ワード線方式とし、メ

モリセルアレイを分割している。これにより、読み出し時において、センス線に、選択メモリセルと並列に存在する寄生インピーダンスを低減している。そのため、選択セルからの読み出し電流を効率よくセンス回路に流すことが出来、消費電流の増加を抑制できる。また、メモリセル数が増加した場合におけるデータの読み出し精度を維持でき、MRAMの更なる高集積化が可能となる。

【0145】また第3の実施形態に係るMRAMによれば、サブワード線に接続されるスイッチ群の一方を接地電位に接続している。そして、これらのスイッチ群を隣接配置することにより、配線数及び占有面積を削減できる。

【0146】更に第5、第6の実施形態に係るMRAMによれば、TMR素子のみからなるMRAMセルに、TMR素子とは直接に接続されない書き込み用ワード線を新たに設けている。従って、書き込み時においてTMR素子が受けるストレスを低減し、MRAMの信頼性を向上できる。

【0147】更に第7の実施形態に係るMRAMによれば、MRAMセル下部の空き領域に、各スイッチングトランジスタ、デコーダなどの周辺回路等を配置している。またサブワード線とメインワード線、及びサブセンス線とメインセンス線とを別配線層を用いて形成している。その結果、MRAMが占める面積を削減でき、チップの縮小化を図ることが出来る。

【0148】なお本発明は、MRAMのみならず、2本の配線のクロスポイントにセルが配置されるような半導体装置一般に広く適用できるものである。また、上記第1乃至第7の実施形態では、各デコーダと各スイッチ群とを別個のものとして取り扱ったが、各スイッチ群が各デコーダに内在されるものであっても良い。更に、各実施形態は互いに組み合わせることも可能である。

【0149】図12は、第2、第6の実施形態を組み合わせたMRAMのブロック図である。図示するように、第6の実施形態において階層ワード線方式を用いることにより、メモリセルアレイを4つに分割している。そして、各メモリセルアレイMC\_ARRAY1~MC\_ARRAY4内の各サブワード線SWL1~SWL6を読み出し用ワード線として用いている。このような構成を採ることにより、第2、第6の実施形態で説明した効果を併せて得ることが出来る。

【0150】また図13は、第3、第6の実施形態を組み合わせたMRAMのブロック図である。図示するように、図12に示したMRAMにおいて、サブワード線SWL1~SWL6の一方に接続されるスイッチ群を接地電位に接続している。そしてこれらのスイッチ群を隣接配置することにより、第3、第6の実施形態で説明した効果を併せて得ることが出来る。

【0151】なお、本願発明は上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の

発明が抽出されうる。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出されうる。

#### 【0152】

【発明の効果】以上説明したように、この発明によれば、消費電流の増加を抑制しつつ高集積化の図れる半導体記憶装置を提供できる。

#### 【図面の簡単な説明】

【図1】この発明の第1の実施形態に係るMRAMのブロック図。

【図2】この発明の第1の実施形態に係るMRAMセルについて示しており、(a)図は等価回路図、(b)図及び(c)図は断面図。

【図3】この発明の第1の実施形態に係る別のMRAMセルについて示しており、(a)図は等価回路図、(b)図及び(c)図は断面図。

【図4】この発明の第2の実施形態に係るMRAMのブロック図。

【図5】この発明の第3の実施形態に係るMRAMのブロック図。

【図6】この発明の第4の実施形態に係るMRAMセルについて示しており、(a)図は等価回路図、(b)図及び(c)図は断面図。

【図7】この発明の第4の実施形態に係るMRAMのブロック図。

【図8】この発明の第5の実施形態に係るMRAMセルについて示しており、(a)図は等価回路図、(b)図及び(c)図は断面図。

\*【図9】この発明の第6の実施形態に係るMRAMのブロック図。

【図10】この発明の第7の実施形態に係るMRAMの断面図。

【図11】この発明の第7の実施形態の変形例に係るMRAMの断面図。

【図12】この発明の第6の実施形態の第1変形例に係るMRAMの断面図。

【図13】この発明の第6の実施形態の第2変形例に係るMRAMの断面図。

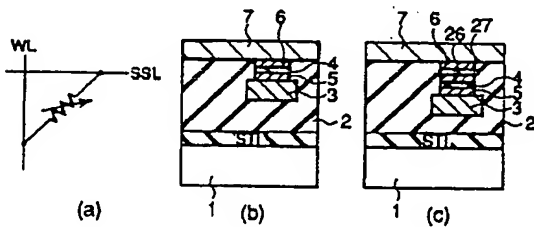
【図14】従来のMRAMのブロック図。

【図15】従来のMRAMのブロック図であり、特に読み出し時にセンス線に存在する寄生インピーダンスの様子を示す図。

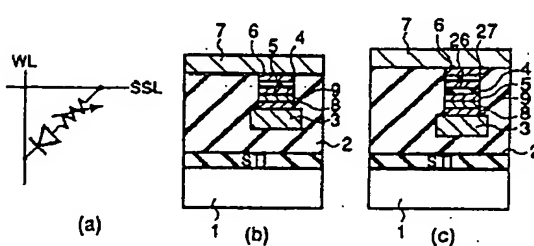
#### 【符号の説明】

- 1…シリコン基板
- 2、56…層間絶縁膜
- 3、7、22~25、30~34、44~46、51~55…金属配線層
- 4、27…絶縁膜
- 5、6、26…磁性体膜
- 8、9…半導体層
- 10…MRAM
- 11、110…書き込み用電流源
- 12、120…センス回路
- 13、130…オペアンプ
- 14、140…抵抗素子
- 20a、40a、42a、47a、49a、20b、40b、42b、47b、49b…不純物拡散層
- 21、41、43、48、50…ゲート電極
- 100-1~100-4…読み出し・書き込み部
- 150、160-1~160-n…寄生インピーダンス

【図2】

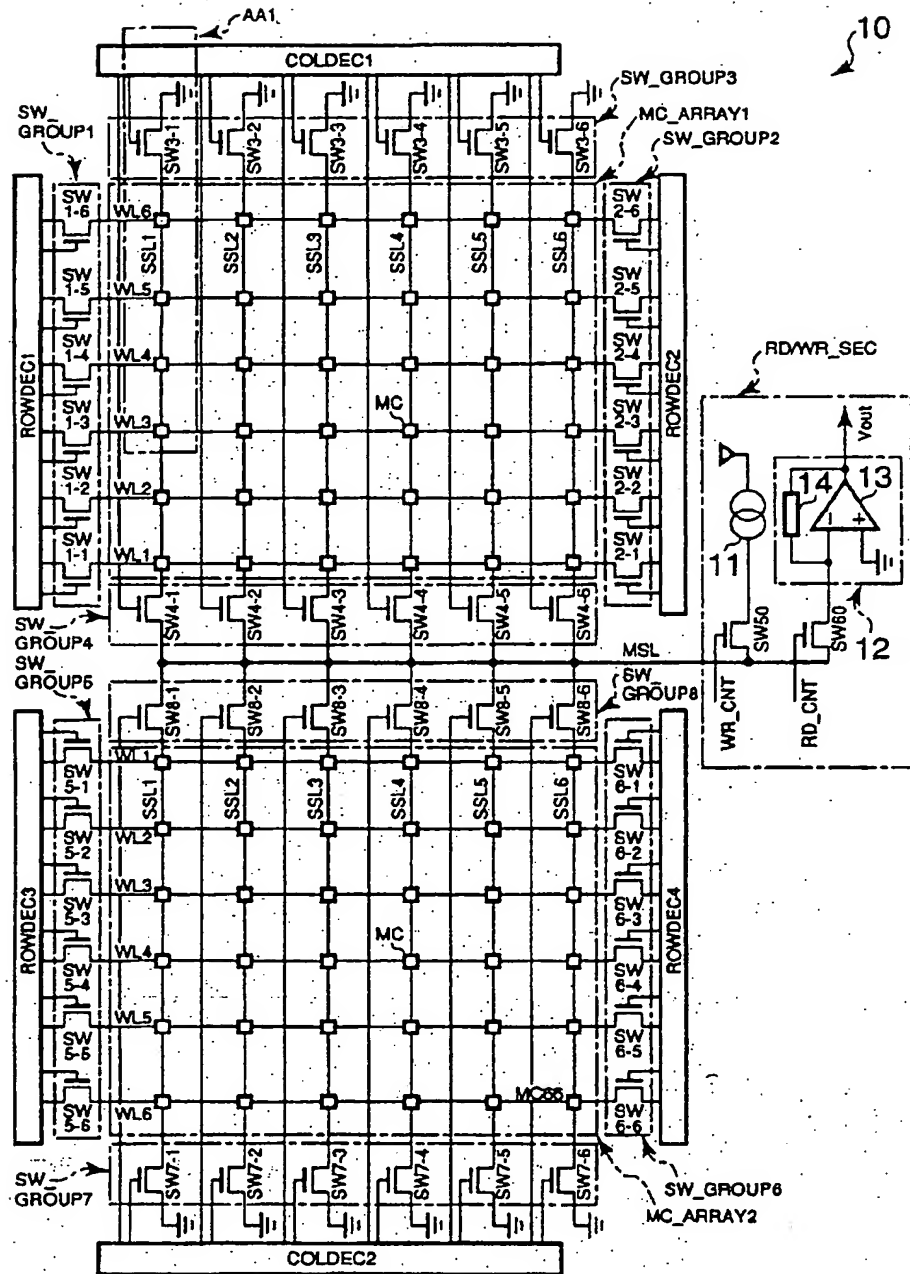


【図3】



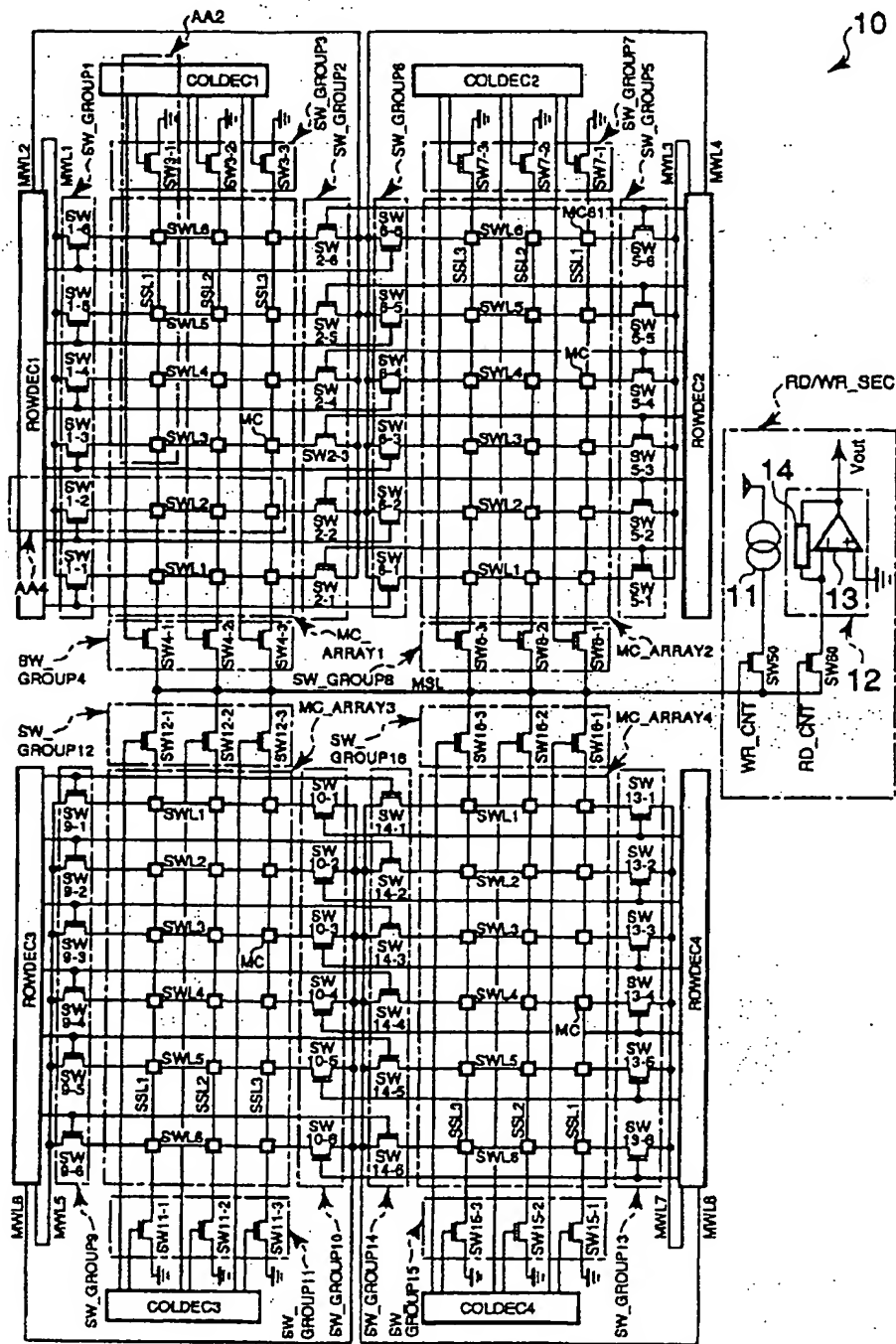


【図1】

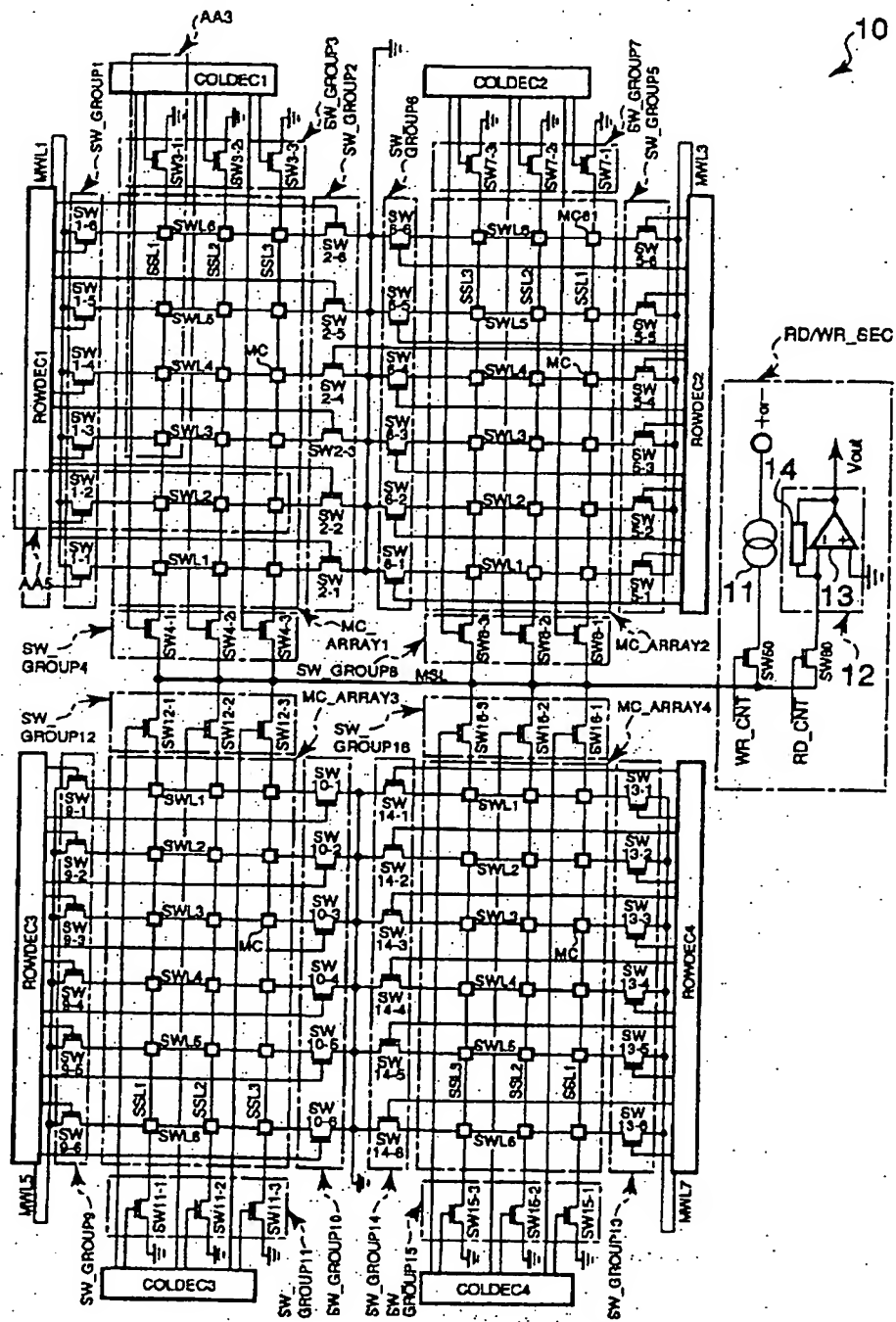




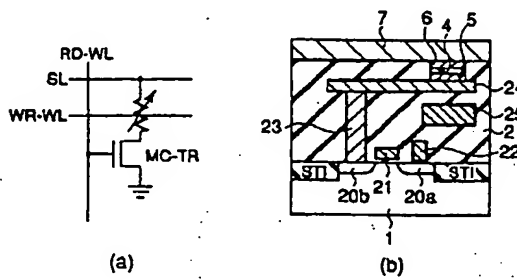
【図4】



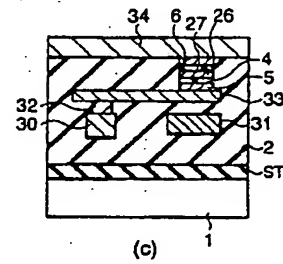
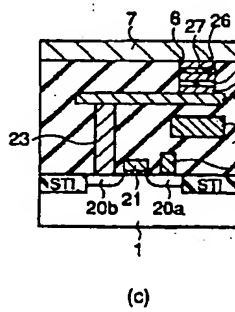
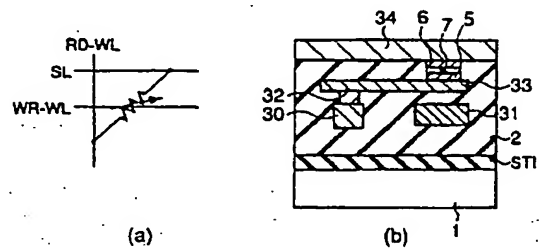
10



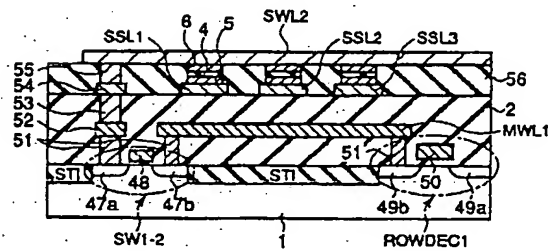
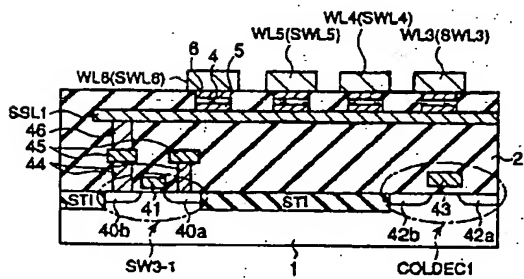
【図6】



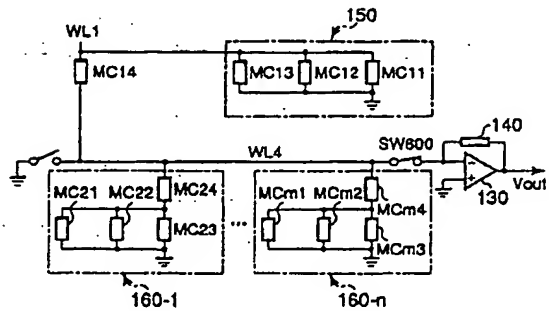
【图 8】



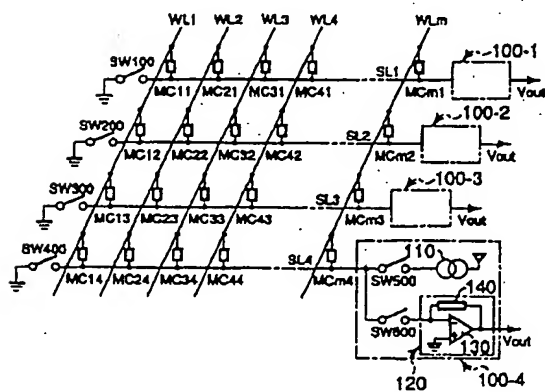
【图 10】



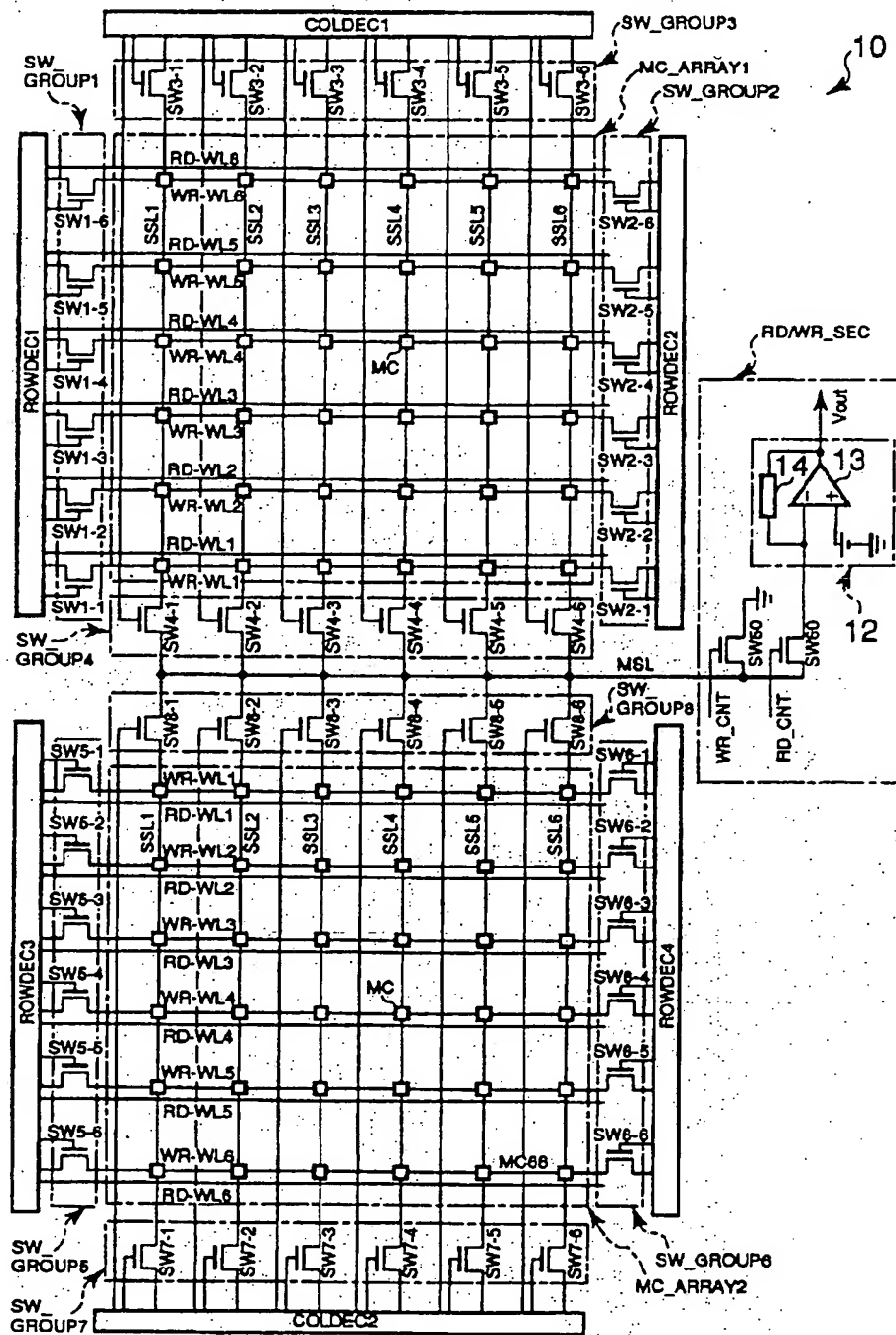
【☒ 15】



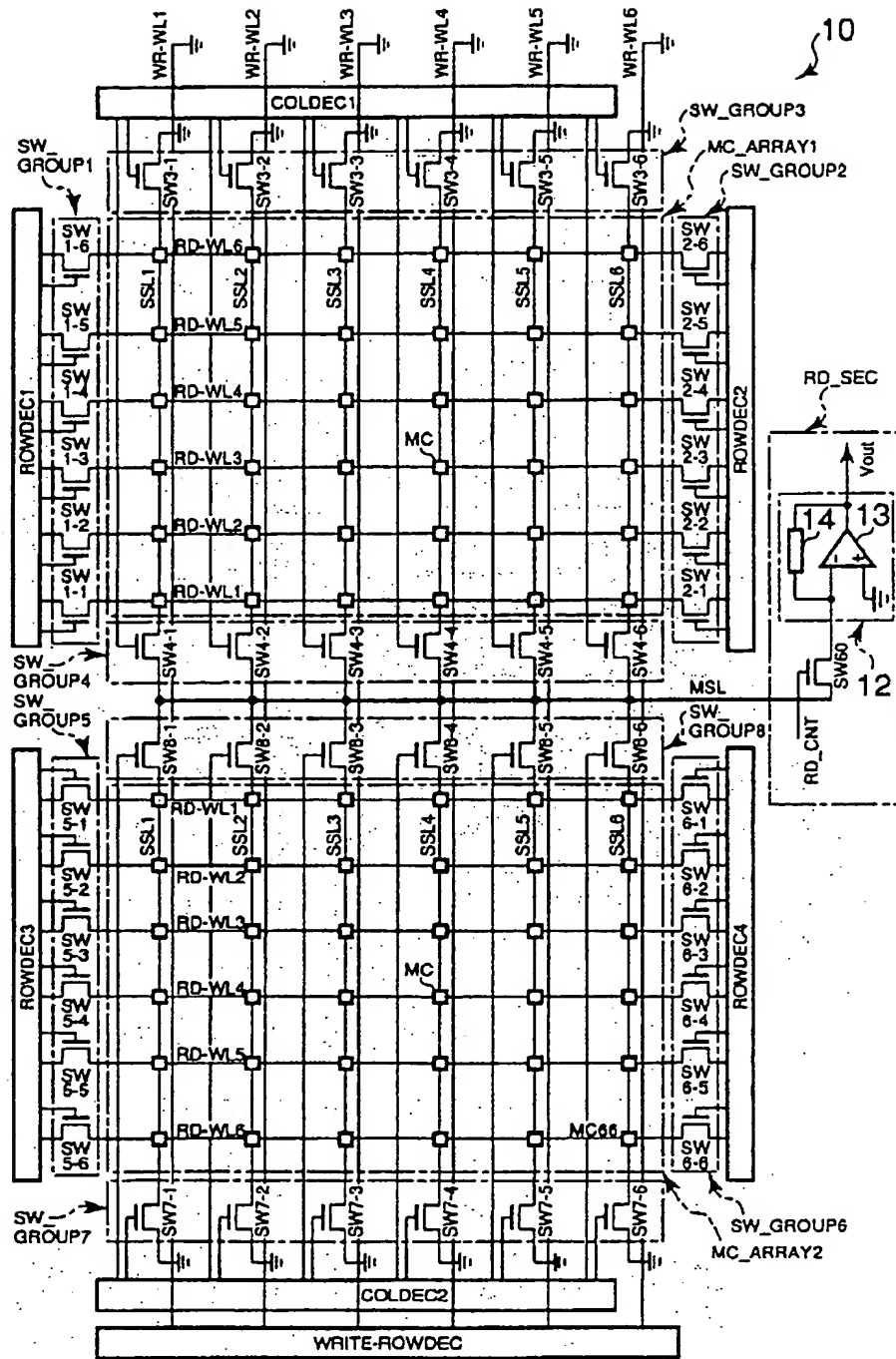
【图 1-4】



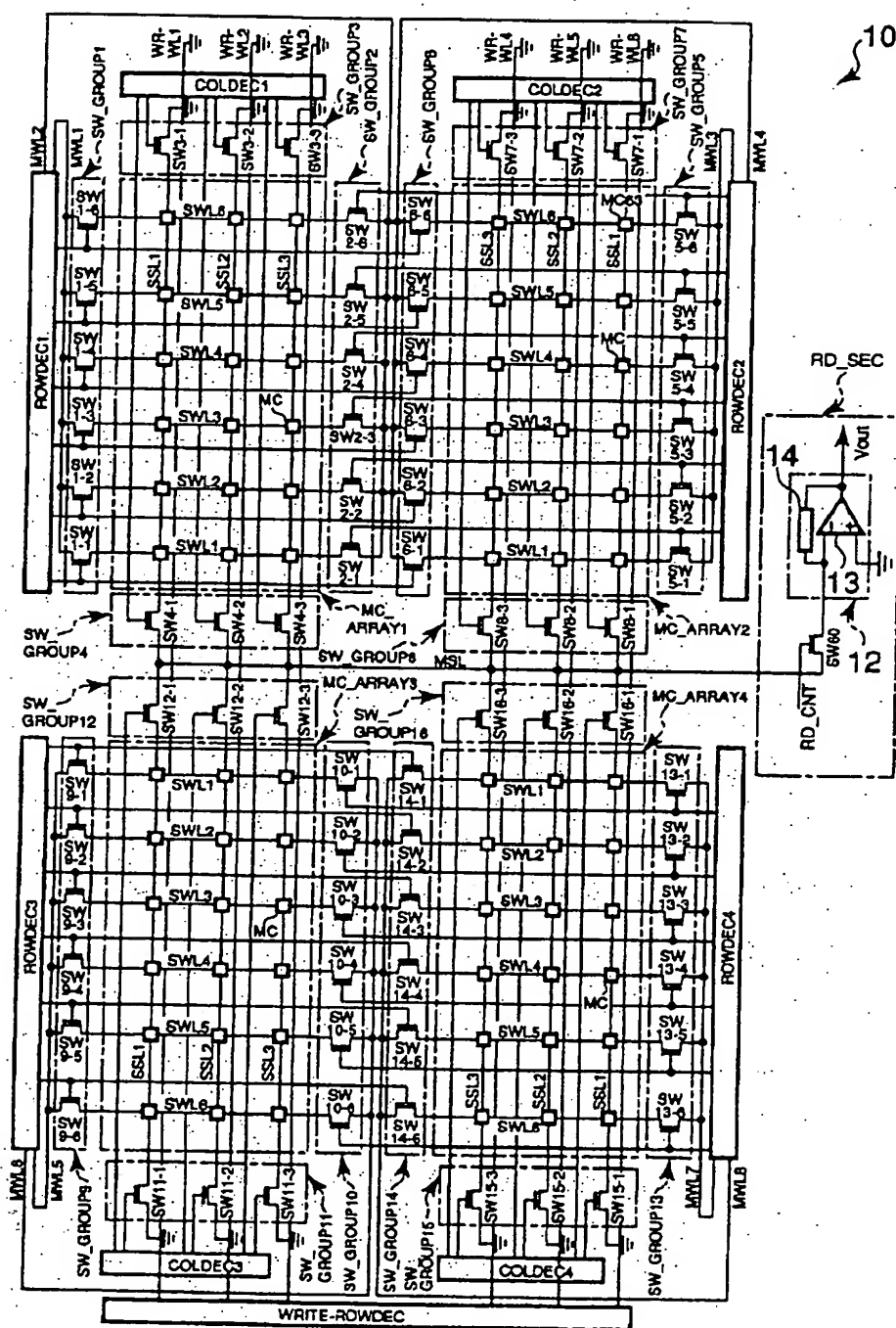
【図 7】



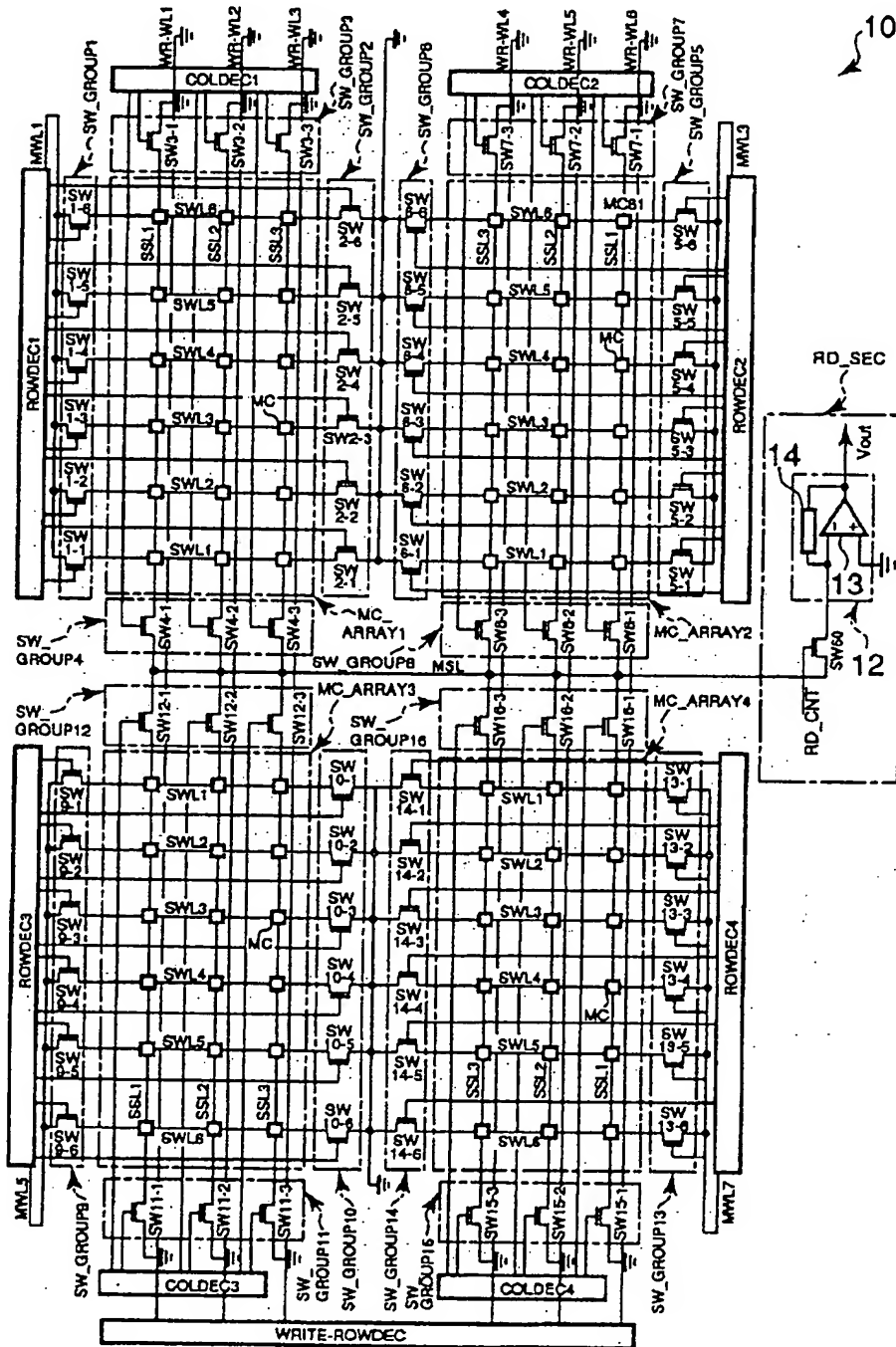
【図9】



【图 12】



【図13】





## 【手続補正書】

【提出日】平成15年4月7日(2003. 4. 7)

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 第1、第2磁性体層、及び前記第1、第2磁性体層間に設けられた第1絶縁層とを有する磁気抵抗素子を含むメモリセルがマトリクス状に配置されたメモリセルアレイと、

前記メモリセルアレイの各行における前記メモリセルの前記第1磁性体層に接続されたワード線と、

前記メモリセルアレイの各列における前記メモリセルの前記第2磁性体層に接続されたサブセンス線と、

前記各サブセンス線と接続されるメインセンス線と、

前記メモリセルアレイのワード線を選択するロウデコーダと、

前記メモリセルアレイのサブセンス線を選択するカラムデコーダと、

前記カラムデコーダにより選択された前記サブセンス線をメインセンス線に接続する第1スイッチ素子と、

前記ロウデコーダ及びカラムデコーダにより選択された前記メモリセルから前記メインセンス線を介してデータを読み出す読み出し回路と、

前記ロウデコーダ及びカラムデコーダにより選択された前記メモリセルに前記メインセンス線を介してデータを書き込む書き込み回路とを具備することを特徴とする半導体記憶装置。

【請求項2】 第1、第2磁性体層、及び前記第1、第2磁性体層間に設けられた第1絶縁層とを有する磁気抵抗素子を含むメモリセルがマトリクス状に配置されたメモリセルアレイと、

前記メモリセルアレイの各行における前記メモリセルの前記第1磁性体層に接続されたサブワード線と、

前記メモリセルアレイの各列における前記メモリセルの前記第2磁性体層に接続されたサブセンス線と、

前記サブワード線の各々と接続されるメインワード線と、

前記サブセンス線の各々と接続されるメインセンス線と、

前記メモリセルアレイの前記サブワード線を選択すると共に、前記メインワード線に電流または電圧を供給するロウデコーダと、

前記メモリセルアレイの前記サブセンス線を選択するカラムデコーダと、

前記ロウデコーダにより選択された前記サブワード線をメインワード線に接続する第1スイッチ素子と、

前記カラムデコーダにより選択された前記サブセンス線

をメインセンス線に接続する第2スイッチ素子と、

前記ロウデコーダ及びカラムデコーダにより選択された前記メモリセルから前記メインセンス線を介してデータを読み出す読み出し回路と、

前記ロウデコーダ及びカラムデコーダにより選択された前記メモリセルに前記メインセンス線を介してデータを書き込む書き込み回路とを具備することを特徴とする半導体記憶装置。

【請求項3】 前記ロウデコーダにより選択された前記サブワード線を第1電位ノードに接続する第3スイッチ素子を更に備えることを特徴とする請求項2記載の半導体記憶装置。

【請求項4】 前記第3スイッチ素子によって前記サブワード線に接続される前記第1電位ノードは、隣接する2つのメモリセルアレイ相互間で共用される共通ノードであることを特徴とする請求項3記載の半導体記憶装置。

【請求項5】 前記書き込み回路は、前記メモリセルへのデータの書き込み時において前記メインセンス線に書き込み電流を供給する電流源と、

前記メモリセルへのデータの書き込み時において前記電流源を前記メインセンス線に接続し、前記メモリセルからのデータの読み出し時において前記電流源を前記メインセンス線から分離する第4スイッチ素子とを備えることを特徴とする請求項1乃至4いずれか1項記載の半導体記憶装置。

【請求項6】 第1、第2磁性体層、及び前記第1、第2磁性体層間に設けられた第1絶縁層とを有する磁気抵抗素子と、前記磁気抵抗素子と電気的に分離され、且つ前記第1磁性体層に近接して設けられた第1ワード線と、前記第2磁性体層に接続され、前記第1ワード線と直交する方向に延設された第2ワード線と、前記第1磁性体層に接続されたセンス線とを有するメモリセルがマトリクス状に配置されたメモリセルアレイと、

前記メモリセルアレイの各行の前記第1ワード線に接続された書き込み用ワード線と、

前記メモリセルアレイの各行の前記第2ワード線に接続された読み出し／書き込み用ワード線と、

前記メモリセルアレイの各列の前記センス線に接続されたサブセンス線と、

前記各サブセンス線と接続されるメインセンス線と、

前記メモリセルアレイの読み出し／書き込み用ワード線を選択するロウデコーダと、

書き込み時において、前記書き込み用ワード線を選択して、書き込み用ワード線に書き込みデータに対応した電流を供給する書き込み用ロウデコーダと、

前記メモリセルアレイのサブセンス線を選択するカラムデコーダと、

前記カラムデコーダにより選択された前記サブセンス線

をメインセンス線に接続する第1スイッチ素子と、  
前記ロウデコード及びカラムデコードにより選択された  
前記メモリセルから前記メインセンス線を介してデータ  
を読み出す読み出し回路とを具備することを特徴とする  
半導体記憶装置。

【請求項7】 前記第1スイッチ素子は、半導体基板上  
に設けられた第1MOSトランジスタを含み、  
前記メモリセルアレイは、前記半導体基板上に前記第1  
MOSトランジスタを被覆するようにして設けられた層  
間絶縁膜上に設けられ、  
前記メモリセルアレイの少なくとも一部は、前記第1M  
OSトランジスタと、前記半導体基板面に対して垂直な  
方向でオーバーラップしていることを特徴とする請求項  
1または6記載の半導体記憶装置。

【請求項8】 前記ロウデコード及びカラムデコード  
は、前記半導体基板上に設けられ、前記層間絶縁膜によ  
って被覆される第2、第3MOSトランジスタをそれぞ  
れ含み、  
前記メモリセルアレイの少なくとも一部は、少なくとも  
前記第2、第3MOSトランジスタのいずれか一方と、  
前記半導体基板面に対して垂直な方向でオーバーラップ  
していることを特徴とする請求項7記載の半導体記憶装  
置。

【請求項9】 第1、第2磁性体層、及び前記第1、第  
2磁性体層間に設けられた第1絶縁層を有する磁気抵抗  
素子と、前記磁気抵抗素子と電気的に分離され、且つ前  
記第1磁性体層に近接して設けられた第1ワード線と、  
前記第2磁性体層に接続され、前記第1ワード線と直交  
する方向に延設された第2ワード線と、前記第1磁性体  
層に接続されたセンス線とを有するメモリセルがマトリ  
クス状に配置されたメモリセルアレイと、  
前記メモリセルアレイの各行の前記第1ワード線に接続  
された書き込み用ワード線と、  
前記メモリセルアレイの各行の前記第2ワード線に接続  
された読み出し／書き込み用サブワード線と、  
前記メモリセルアレイの各列の前記センス線に接続され  
たサブセンス線と、  
前記読み出し／書き込み用サブワード線の各々と接続さ  
れる読み出し／書き込み用メインワード線と、  
前記サブセンス線の各々と接続されるメインセンス線  
と、  
前記メモリセルアレイの前記読み出し／書き込み用サブ  
ワード線を選択すると共に、前記読み出し／書き込み用  
メインワード線に電流または電圧を供給するロウデコー  
ドと、  
書き込み時において、前記書き込み用ワード線を選択し  
て前記書き込み用ワード線に書き込みデータに対応した  
電流を供給する書き込み用ロウデコードと、  
前記メモリセルアレイの前記サブセンス線を選択するカ  
ラムデコードと、

前記ロウデコードにより選択された前記読み出し／書き  
込み用サブワード線をメインワード線に接続する第1ス  
イッチ素子と、

前記カラムデコードにより選択された前記サブセンス線  
をメインセンス線に接続する第2スイッチ素子と、  
前記ロウデコード及びカラムデコードにより選択された  
前記メモリセルから前記メインセンス線を介してデータ  
を読み出す読み出し回路とを具備することを特徴とする  
半導体記憶装置。

【請求項10】 前記ロウデコードにより選択された前  
記読み出し／書き込み用サブワード線を第1電位ノード  
に接続する第3スイッチ素子を更に備えることを特徴と  
する請求項9記載の半導体記憶装置。

【請求項11】 前記第3スイッチ素子によって前記読  
み出し／書き込み用サブワード線に接続される前記第1  
電位ノードは、隣接する2つのメモリセルアレイ相互間  
で共用される共通ノードであることを特徴とする請求項  
10記載の半導体記憶装置。

【請求項12】 前記第1ワード線と前記センス線とは  
互いに平行に延設され、且つ同一レベルの金属配線層に  
より形成されることを特徴とする請求項6乃至11い  
ずれか1項記載の半導体記憶装置。

【請求項13】 前記センス線の電位をフローティング  
状態とすると共に、前記第1、第2ワード線に電流を供  
給することにより前記磁気抵抗素子へのデータの書き込  
みを行い、  
前記第2ワード線に電圧を印加して前記センス線に流す  
ことにより前記磁気抵抗素子からのデータの読み出しを  
行うことを特徴とする請求項6乃至12いずれか1項記  
載の半導体記憶装置。

【請求項14】 前記第1、第2スイッチ素子は、半導  
体基板上に設けられた第1、第2MOSトランジスタを  
それぞれ含み、  
前記メモリセルアレイは、前記半導体基板上に前記第  
1、第2MOSトランジスタを被覆するようにして設け  
られた層間絶縁膜上に設けられ、  
前記メモリセルアレイの少なくとも一部は、少なくとも  
前記第1、第2MOSトランジスタのいずれか一方と、  
前記半導体基板面に対して垂直な方向でオーバーラップ  
していることを特徴とする請求項2乃至5及び9乃至1  
1いずれか1項記載の半導体記憶装置。

【請求項15】 前記ロウデコード及びカラムデコード  
は、前記半導体基板上に設けられ、前記層間絶縁膜によ  
って被覆される第3、第4MOSトランジスタをそれぞ  
れ含み、  
前記メモリセルアレイの少なくとも一部は、少なくとも  
前記第3、第4MOSトランジスタのいずれか一方と、  
前記半導体基板面に対して垂直な方向でオーバーラップ  
していることを特徴とする請求項14記載の半導体記憶  
装置。

【請求項16】 前記磁気抵抗素子は、前記第1絶縁層と前記第2磁性体層との間に介在された第3磁性体層と、

前記第3磁性体層と前記第2磁性体層との間に介在された第2絶縁層とを更に備えることを特徴とする請求項1乃至15いずれか1項記載の半導体記憶装置。

【請求項17】 前記カラムデコードにより選択された前記サブセンス線を第2電位ノードに接続する第5スイッチ素子を更に備えることを特徴とする請求項1乃至16いずれか1項記載の半導体記憶装置。

【請求項18】 前記読み出し回路は、前記メモリセルからのデータの読み出し時において前記メインセンス線に流れる読み出し電流を電圧に変換するセンス回路と、前記メモリセルからのデータの読み出し時において前記センス回路を前記メインセンス線に接続し、前記メモリセルへのデータの書き込み時において前記センス回路を前記メインセンス線から分離する第6スイッチ素子とを備えることを特徴とする請求項1乃至17いずれか1項記載の半導体記憶装置。

【請求項19】 前記センス回路は、第3電位ノードに接続された第1入力端子、前記第6スイッチ素子を介して前記メインセンス線に接続された第2入力端子、及び出力端子を有するオペアンプと、

前記オペアンプの第2入力端子に接続された一端と、前記オペアンプの出力端子に接続された他端とを有する抵抗素子とを備えることを特徴とする請求項18記載の半導体記憶装置。

【請求項20】 前記抵抗素子は、前記磁気抵抗素子と実質的に同一の構造を有することを特徴とする請求項19記載の半導体記憶装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】

【課題を解決するための手段】この発明の第1の態様に係る半導体記憶装置は、第1、第2磁性体層、及び前記第1、第2磁性体層間に設けられた第1絶縁層とを有する磁気抵抗素子を含むメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルアレイの各行における前記メモリセルの前記第1磁性体層に接続されたワード線と、前記メモリセルアレイの各列における前記メモリセルの前記第2磁性体層に接続されたサブセンス線と、前記各サブセンス線と接続されるメインセンス線と、前記メモリセルアレイのワード線を選択するロウデコードと、前記メモリセルアレイのサブセンス線を選択するカラムデコードと、前記カラムデコードにより選択された前記サブセンス線をメインセンス線に接続する第1スイッチ素子と、前記ロウデコード及びカラムデ

コードにより選択された前記メモリセルから前記メインセンス線を介してデータを読み出す読み出し回路と、前記ロウデコード及びカラムデコードにより選択された前記メモリセルに前記メインセンス線を介してデータを書き込む書き込み回路とを具備することを特徴としている。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】またこの発明の第2の態様に係る半導体記憶装置は、第1、第2磁性体層、及び前記第1、第2磁性体層間に設けられた第1絶縁層とを有する磁気抵抗素子を含むメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルアレイの各行における前記メモリセルの前記第1磁性体層に接続されたサブワード線と、前記メモリセルアレイの各列における前記メモリセルの前記第2磁性体層に接続されたサブセンス線と、前記サブワード線の各々と接続されるメインワード線と、前記サブセンス線の各々と接続されるメインセンス線と、前記メモリセルアレイの前記サブワード線を選択すると共に、前記メインワード線に電流または電圧を供給するロウデコードと、前記メモリセルアレイの前記サブセンス線を選択するカラムデコードと、前記ロウデコードにより選択された前記サブワード線をメインワード線に接続する第1スイッチ素子と、前記カラムデコードにより選択された前記サブセンス線をメインセンス線に接続する第2スイッチ素子と、前記ロウデコード及びカラムデコードにより選択された前記メモリセルから前記メインセンス線を介してデータを読み出す読み出し回路と、前記ロウデコード及びカラムデコードにより選択された前記メモリセルに前記メインセンス線を介してデータを書き込む書き込み回路とを具備することを特徴としている。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正内容】

【0017】更にこの発明の第3の態様に係る半導体記憶装置は、第1、第2磁性体層、及び前記第1、第2磁性体層間に設けられた第1絶縁層を有する磁気抵抗素子と、前記磁気抵抗素子と電気的に分離され、且つ前記第1磁性体層に近接して設けられた第1ワード線と、前記第2磁性体層に接続され、前記第1ワード線と直交する方向に延設された第2ワード線と、前記第1磁性体層に接続されたセンス線とを有するメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルアレイの各行の前記第1ワード線に接続された書き込み用

ワード線と、前記メモリセルアレイの各行の前記第2ワード線に接続された読み出し／書き込み用ワード線と、前記メモリセルアレイの各列の前記センス線に接続されたサブセンス線と、前記各サブセンス線と接続されるメインセンス線と、前記メモリセルアレイの読み出し／書き込み用ワード線を選択するロウデコードと、書き込み時において、前記書き込み用ワード線を選択して、書き込み用ワード線に書き込みデータに対応した電流を供給する書き込み用ロウデコードと、前記メモリセルアレイのサブセンス線を選択するカラムデコードと、前記カラムデコードにより選択された前記サブセンス線をメインセンス線に接続する第1スイッチ素子と、前記ロウデコード及びカラムデコードにより選択された前記メモリセルから前記メインセンス線を介してデータを読み出す読み出し回路とを具備することを特徴としている。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】更にこの発明の第4の態様に係る半導体記憶装置は、第1、第2磁性体層、及び前記第1、第2磁性体層間に設けられた第1絶縁層を有する磁気抵抗素子と、前記磁気抵抗素子と電気的に分離され、且つ前記第1磁性体層に近接して設けられた第1ワード線と、前記第2磁性体層に接続され、前記第1ワード線と直交する

方向に延設された第2ワード線と、前記第1磁性体層に接続されたセンス線とを有するメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルアレイの各行の前記第1ワード線に接続された書き込み用ワード線と、前記メモリセルアレイの各行の前記第2ワード線に接続された読み出し／書き込み用サブワード線と、前記メモリセルアレイの各列の前記センス線に接続されたサブセンス線と、前記読み出し／書き込み用サブワード線の各々と接続される読み出し／書き込み用メインワード線と、前記サブセンス線の各々と接続されるメインセンス線と、前記メモリセルアレイの前記読み出し／書き込み用サブワード線を選択すると共に、前記読み出し／書き込み用メインワード線に電流または電圧を供給するロウデコードと、書き込み時において、前記書き込み用ワード線を選択して前記書き込み用ワード線に書き込みデータに対応した電流を供給する書き込み用ロウデコードと、前記メモリセルアレイの前記サブセンス線を選択するカラムデコードと、前記ロウデコードにより選択された前記読み出し／書き込み用サブワード線をメインワード線に接続する第1スイッチ素子と、前記カラムデコードにより選択された前記サブセンス線をメインセンス線に接続する第2スイッチ素子と、前記ロウデコード及びカラムデコードにより選択された前記メモリセルから前記メインセンス線を介してデータを読み出す読み出し回路とを具備することを特徴としている。

フロントページの続き

Fターム(参考) 5F083 FZ10 GA05 GA09 KA03 KA06  
LA03 LA04 LA05 MA06 MA16  
MA19 MA01